

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-17972

(43) 公開日 平成9年(1997)1月17日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/108  
21/8242  
27/04  
21/822

H 0 1 L 27/10 6 5 1  
27/04 C

審査請求 未請求 請求項の数20 O L (全 27 頁)

(21) 出願番号 特願平7-166091

(22) 出願日 平成7年(1995)6月30日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 黒岩 文晴

兵庫県尼崎市塚口本町八丁目1番1号 三  
菱電機株式会社半導体基礎研究所内

(72) 発明者 堀川 剛

兵庫県尼崎市塚口本町八丁目1番1号 三  
菱電機株式会社半導体基礎研究所内

(72) 発明者 時田 哲郎

兵庫県尼崎市塚口本町八丁目1番1号 三  
菱電機株式会社半導体基礎研究所内

(74) 代理人 弁理士 高田 守 (外4名)

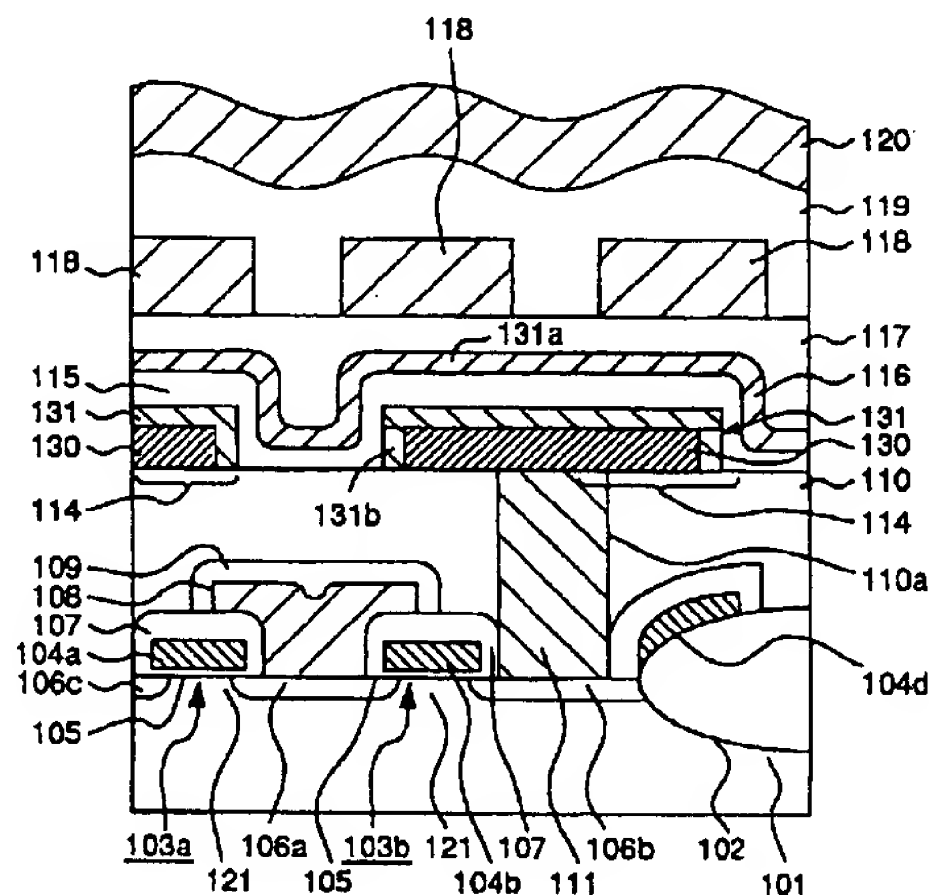
最終頁に続く

(54) 【発明の名称】 半導体記憶装置及びその製造方法

(57) 【要約】 (修正有)

【目的】 高集積化された半導体集積回路などに用いられる薄膜キャパシタの高品位化を図る。

【構成】 キャパシタ下部電極114をイリジウムやルテニウムからなる金属電極とそれらの酸化物からなる金属酸化膜とで構成し、キャパシタ下部電極114の表面が金属酸化膜131で覆われているようにし、電極の加工を容易にするともに、キャパシタ誘電体膜115形成時の高温の酸化雰囲気でも電極表面が反応しない安定なキャパシタ特性を得られるようにした。



1

## 【特許請求の範囲】

【請求項 1】 主表面を有する半導体基板と、前記半導体基板の主表面上に形成され、前記半導体基板の主表面にまで達する開口部を有する層間絶縁膜と、前記開口部に埋め込まれた接続部材と、前記接続部材を介して前記半導体基板の主表面と電氣的に接続されたキャパシタ下部電極と、前記キャパシタ下部電極上に形成された高誘電率材料からなるキャパシタ誘電体膜と、前記キャパシタ誘電体膜上に形成されたキャパシタ上部電極とを備えた半導体記憶装置であって、

前記キャパシタ下部電極が金属電極と金属酸化膜とで構成されていて、前記金属電極がルテニウム又はイリジウムを主たる構成元素とし、前記金属酸化膜が前記金属電極を構成する元素の酸化物からなり、かつ、前記金属電極に接して前記金属電極の少なくとも上面及び側面を覆うように構成されていることを特徴とする半導体記憶装置。

【請求項 2】 主表面を有する半導体基板と、前記半導体基板の主表面上に形成され、前記半導体基板の主表面にまで達する開口部を有する層間絶縁膜と、前記開口部に埋め込まれた接続部材と、前記接続部材を介して前記半導体基板の主表面と電氣的に接続されたキャパシタ下部電極と、前記キャパシタ下部電極上に形成された高誘電率材料からなるキャパシタ誘電体膜と、前記キャパシタ誘電体膜上に形成されたキャパシタ上部電極とを備えた半導体記憶装置であって、

前記キャパシタ下部電極がコンタクト層と金属電極と金属酸化膜とで構成されていて、前記金属電極がルテニウム又はイリジウムを主たる構成元素とし、前記コンタクト層が前記金属電極を構成する元素のシリサイドからなり、かつ、前記金属電極と前記接続部材との間に挟持されており、前記金属酸化膜が前記金属電極を構成する元素の酸化物からなり、かつ、前記金属電極に接して前記金属電極の少なくとも上面及び側面を覆うように構成されていることを特徴とする半導体記憶装置。

【請求項 3】 前記金属電極の上面及び側面に形成される前記金属酸化膜の厚みが 20 nm 以上 100 nm 以下であることを特徴とする請求項 1 又は請求項 2 に記載された半導体記憶装置。

【請求項 4】 前記金属電極の上面に形成される前記金属酸化膜の厚みが 100 nm 以上 200 nm 以下であり、かつ、側面に形成される前記金属酸化膜の厚みが 20 nm 以上 100 nm 以下であることを特徴とする請求項 1 又は請求項 2 に記載された半導体記憶装置。

【請求項 5】 前記接続部材の上端が前記層間絶縁膜表面から 30 nm 以上へこんでいることを特徴とする請求項 1 ～請求項 4 のいずれか 1 つに記載された半導体記憶装置。

【請求項 6】 前記層間絶縁膜と前記キャパシタ下部電極との間に密着層が形成されていることを特徴とする請

2

求項 1 ～請求項 5 のいずれか 1 つに記載された半導体記憶装置。

【請求項 7】 前記層間絶縁膜と前記キャパシタ下部電極との間に密着層が形成され、かつ前記コンタクト層が前記密着層を構成する元素のシリサイド、又は前記キャパシタ下部電極を構成する元素のシリサイドのうち少なくとも一方で構成されていることを特徴とする請求項 2 に記載された半導体記憶装置。

10 【請求項 8】 前記金属電極の上面及び側面に形成される前記金属酸化膜の厚みが 20 nm 以上 100 nm 以下であることを特徴とする請求項 7 に記載された半導体記憶装置。

【請求項 9】 前記金属電極の上面に形成される前記金属酸化膜の厚みが 100 nm 以上 200 nm 以下であり、かつ、側面に形成される前記金属酸化膜の厚みが 20 nm 以上 100 nm 以下であることを特徴とする請求項 7 に記載された半導体記憶装置。

20 【請求項 10】 前記接続部材の上端が前記層間絶縁膜表面から 30 nm 以上へこんでいることを特徴とする請求項 7 に記載された半導体記憶装置。

【請求項 11】 半導体基板の主表面上に、該主表面にまで達する開口部を有する層間絶縁膜を形成する工程と、

前記開口部に接続部材を埋め込む工程と、  
前記接続部材を介して前記半導体基板の主表面と電氣的に接続されるキャパシタ下部電極としてルテニウム又はイリジウムが主たる構成元素である金属薄膜を形成した後、該金属薄膜を所定のキャパシタ下部電極構造に加工する工程と、

30 前記金属薄膜電極を構成する元素の酸化物からなる金属酸化膜電極を、前記金属薄膜電極表面の急速熱酸化処理と酸素を含むガス雰囲気中でのプラズマ処理とのうちの少なくとも 1 つの処理により形成する工程と、  
前記金属酸化膜電極上に、高誘電率材料からなるキャパシタ誘電体膜とキャパシタ上部電極とを順次形成する工程とを含む半導体記憶装置の製造方法。

【請求項 12】 半導体基板の主表面上に、該主表面にまで達する開口部を有する層間絶縁膜を形成する工程と、

40 前記開口部に接続部材を埋め込む工程と、  
前記接続部材を介して前記半導体基板の主表面と電氣的に接続されるキャパシタ下部電極としてルテニウム又はイリジウムが主たる構成元素である金属薄膜を形成する工程と、

前記金属薄膜を構成する元素の酸化物からなる金属酸化膜を、前記金属薄膜上に形成した後、前記金属薄膜と前記金属酸化膜とからなる積層膜を所定のキャパシタ下部電極構造に加工する工程と、

50 前記加工工程の後で、キャパシタ下部電極側面に現れる前記金属薄膜電極表面を、急速熱酸化処理と酸素を含む

3

ガス雰囲気中でのプラズマ処理とのうちの少なくとも1つの処理により酸化し、金属酸化膜電極とする工程と、前記金属酸化膜電極上に、高誘電率材料からなるキャパシタ誘電体膜とキャパシタ上部電極とを順次形成する工程とを含む半導体記憶装置の製造方法。

【請求項13】 半導体基板の主表面上に、該主表面にまで達する開口部を有する層間絶縁膜を形成する工程と、

前記開口部にシリコンを主成分とする接続部材を埋め込む工程と、

前記接続部材を介して前記半導体基板の主表面と電気的に接続されるキャパシタ下部電極としてルテニウム又はイリジウムが主たる構成元素である金属薄膜を形成した後、該金属薄膜を所定のキャパシタ下部電極構造に加工する工程と、

前記金属薄膜電極を構成する元素の酸化物からなる金属酸化膜電極を、前記金属薄膜電極表面の急速熱酸化処理と酸素を含むガス雰囲気中でのプラズマ処理とのうちの少なくとも1つの処理により形成する工程と、

前記金属薄膜のシリサイド層が前記金属電極と前記接続部材との間に形成されるよう熱処理を行う工程と、

前記金属酸化膜電極上に、高誘電率材料からなるキャパシタ誘電体膜とキャパシタ上部電極とを順次形成する工程とを含む半導体記憶装置の製造方法。

【請求項14】 半導体基板の主表面上に、該主表面にまで達する開口部を有する層間絶縁膜を形成する工程と、

前記開口部にシリコンを主成分とする接続部材を埋め込む工程と、

前記接続部材を介して前記半導体基板の主表面と電気的に接続されるキャパシタ下部電極としてルテニウム又はイリジウムが主たる構成元素である金属薄膜を形成する工程と、

前記金属薄膜を構成する元素の酸化物からなる金属酸化膜を前記金属薄膜上に形成した後、前記金属薄膜と前記金属酸化膜とからなる積層膜を所定のキャパシタ下部電極構造に加工する工程と、

前記加工工程の後で、キャパシタ下部電極側面に現れる前記金属薄膜電極表面を、急速熱酸化処理と酸素を含むガス雰囲気中でのプラズマ処理とのうちの少なくとも1つの処理により酸化し、金属酸化膜電極とする工程と、前記金属薄膜のシリサイド層が前記金属電極と前記接続部材との間に形成されるよう熱処理を行う工程と、前記金属酸化膜電極上に、高誘電率材料からなるキャパシタ誘電体膜とキャパシタ上部電極とを順次形成する工程とを含む半導体記憶装置の製造方法。

【請求項15】 半導体基板の主表面上に、該主表面にまで達する開口部を有する層間絶縁膜を形成する工程と、

前記開口部の一部を接続部材で埋め込む工程と、

4

前記接続部材を介して前記半導体基板の主表面と電気的に接続されるキャパシタ下部電極としてルテニウム又はイリジウムが主たる構成元素である金属薄膜を前記層間絶縁膜を覆いかつ開口部内を埋め込むように形成した後、該金属薄膜を所定のキャパシタ下部電極構造に加工する工程と、

前記金属薄膜電極を構成する元素の酸化物からなる金属酸化膜電極を、前記金属薄膜電極表面の急速熱酸化処理と酸素を含むガス雰囲気中でのプラズマ処理とのうちの少なくとも1つの処理により形成する工程と、

10 前記金属酸化膜電極上に、高誘電率材料からなるキャパシタ誘電体膜とキャパシタ上部電極とを順次形成する工程とを含む半導体記憶装置の製造方法。

【請求項16】 半導体基板の主表面上に、該主表面にまで達する開口部を有する層間絶縁膜を形成する工程と、

前記開口部の一部を接続部材で埋め込む工程と、

前記接続部材を介して前記半導体基板の主表面と電気的に接続されるキャパシタ下部電極としてルテニウム又はイリジウムが主たる構成元素である金属薄膜を前記層間絶縁膜を覆いかつ開口部内を埋め込むように形成する工程と、

20 前記金属薄膜を構成する元素の酸化物からなる金属酸化膜を前記金属薄膜上に形成した後、前記金属薄膜と前記金属酸化膜とからなる積層膜を所定のキャパシタ下部電極構造に加工する工程と、

前記加工工程の後で、キャパシタ下部電極側面に現れる前記金属薄膜電極表面を、急速熱酸化処理と酸素を含むガス雰囲気中でのプラズマ処理とのうちの少なくとも1つの処理により酸化し、金属酸化膜電極とする工程と、

30 前記金属酸化膜電極上に、高誘電率材料からなるキャパシタ誘電体膜とキャパシタ上部電極とを順次形成する工程とを含む半導体記憶装置の製造方法。

【請求項17】 半導体基板の主表面上に、該主表面にまで達する開口部を有する層間絶縁膜を形成する工程と、

前記開口部の一部をシリコンを主成分とする接続部材で埋め込む工程と、

前記接続部材を介して前記半導体基板の主表面と電気的に接続されるキャパシタ下部電極としてルテニウム又はイリジウムが主たる構成元素である金属薄膜を前記層間絶縁膜を覆いかつ開口部内を埋め込むように形成した後、該金属薄膜を所定のキャパシタ下部電極形状に加工する工程と、

前記金属薄膜電極を構成する元素の酸化物からなる金属酸化膜電極を、前記金属薄膜電極表面の急速熱酸化処理と酸素を含むガス雰囲気中でのプラズマ処理とのうちの少なくとも1つの処理により形成する工程と、

40 前記金属薄膜のシリサイド層が前記金属電極と前記接続部材との間に形成されるよう熱処理を行う工程と、

50

前記金属酸化膜電極上に、高誘電率材料からなるキャパシタ誘電体膜とキャパシタ上部電極とを順次形成する工程とを含む半導体記憶装置の製造方法。

【請求項 18】 半導体基板の主表面上に、該主表面にまで達する開口部を有する層間絶縁膜を形成する工程と、

前記開口部の一部をシリコンを主成分とする接続部材で埋め込む工程と、

前記接続部材を介して前記半導体基板の主表面と電氣的に接続されるキャパシタ下部電極としてルテニウム又はイリジウムが主たる構成元素である金属薄膜を前記層間絶縁膜を覆いかつ開口部内を埋め込むように形成する工程と、

前記金属薄膜を構成する元素の酸化物からなる金属酸化膜を前記金属薄膜上に形成した後、前記金属薄膜と前記金属酸化膜とからなる積層膜を所定のキャパシタ下部電極構造に加工する工程と、

前記加工工程の後で、キャパシタ下部電極側面に現れる前記金属薄膜電極表面を、急速熱酸化処理と酸素を含むガス雰囲気中でのプラズマ処理とのうちの少なくとも 1 つの処理により酸化し、金属酸化膜電極とする工程と、前記金属薄膜のシリサイド層が前記金属電極と前記接続部材との間に形成されるよう熱処理を行う工程と、

前記金属酸化膜電極上に、高誘電率材料からなるキャパシタ誘電体膜とキャパシタ上部電極とを順次形成する工程とを含む半導体記憶装置の製造方法。

【請求項 19】 キャパシタ下部電極としてのルテニウム又はイリジウムを主たる構成元素とする金属薄膜の酸化物を形成する工程の後に、化学的機械研磨法により前記キャパシタ下部電極表面を平坦化する工程を含むことを特徴とする請求項 12、請求項 14、請求項 16 又は請求項 18 に記載された半導体記憶装置の製造方法。

【請求項 20】 層間絶縁膜の開口部を接続部材で埋め込む工程の後に、前記層間絶縁膜と前記キャパシタ下部電極とを密着させる密着層を形成する工程を含むことを特徴とする請求項 11～請求項 19 のいずれか 1 つに記載された半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体記憶装置及びその製造方法に関するものであって、とくに高誘電率の材料をキャパシタ誘電体膜に用いた DRAM (Dynamic Random Access Memory) の構造及びその製造方法に関するものである。

【0002】

【従来の技術】 従来より、記憶情報のランダムな入出力が可能な半導体記憶装置の 1 つとして、DRAM が広く用いられている。そして、一般に DRAM は、多数の記憶情報を蓄積する記憶領域であるメモリセルアレイ部と、外部との入出力に必要な周辺回路部とを有してい

る。

【0003】 図 43 は、一般的な DRAM の構成を示すブロック図である。図 43 に示すように、DRAM 150 は、記憶情報を蓄積するためのメモリセルアレイ 151 と、単位記憶回路を構成するメモリセルを選択するためのアドレス信号を外部から受けるロウアンドコラムアドレスバッファ 152 と、そのアドレス信号を解読することによってメモリセルを指定するロウデコード 153 及びコラムデコード 154 と、指定されたメモリセルに蓄積された信号を増幅して読み出すためのセンスリフレッシュアンプ 155 と、データ入出力のためのデータインバッファ 156 及びデータアウトバッファ 157 と、クロック信号を発生させるためのクロックジェネレータ 158 とを備えている。

【0004】 半導体チップ上で大きな面積を占めるメモリセルアレイ 151 には、単位記憶情報を蓄積するためのメモリセルがマトリクス上に複数個配置されている。一般に、一つのメモリセルは、一つの MOS (Metal Oxide Semiconductor) トランジスタと、これに接続された一つのキャパシタとで構成されている。このようなメモリセルは、1 トランジスタ 1 キャパシタ型のメモリセルと呼ばれている。このタイプのメモリセルは、構成が簡単のため、メモリセルアレイ 151 の集積度を向上させることが容易である。このため、大容量の DRAM において広く用いられている。

【0005】 また、DRAM のメモリセルは、キャパシタの構造によっていくつかのタイプに分類することができる。この中にスタックトキャパシタと呼ばれるものがある。このスタックトキャパシタは、キャパシタの主要部をゲート電極やフィールド酸化膜の上にまで延在させることによって、キャパシタの電極間の対向面積を増大させるものである。

【0006】 スタックトキャパシタは、このような特徴を有するため、半導体記憶装置の集積化に伴って素子が微細化された場合でも、キャパシタ容量を確保することが可能になる。その結果、半導体記憶装置の高集積化に伴ってスタックトキャパシタが多く用いられるようになった。

【0007】 しかしながら、素子が更に微細化され、例えば 256 Mbit DRAM などにおいては、上記のスタックトキャパシタを使用したとしても、もはや一定のキャパシタ容量を確保することは困難となる。

【0008】 そこで、キャパシタ容量を増大させるため、キャパシタ誘電体膜として、PZT (チタン酸ジルコン酸鉛) 等の高誘電率材料からなる誘電体膜を使用するといった試みがなされている。図 44 には、キャパシタ誘電体膜として PZT 等の高誘電率材料を用いた DRAM の一例が示されている。

【0009】 図 44 に示すように、P 型半導体基板 101 の主表面における素子分離領域には、フィールド酸化



膜102が形成されている。半導体基板101の主表面における素子形成領域には、トランスファゲートトランジスタ103a、103bが形成されている。

【0010】トランスファゲートトランジスタ103aは、半導体基板101の主表面に間隔をあけて形成されたソース/ドレイン領域となるN型不純物領域106c、106a間のチャネル領域121上にゲート絶縁膜105を介して形成されたゲート電極104bを有している。

【0011】トランスファゲートトランジスタ103bは、ソース/ドレイン領域となるN型不純物領域106a、106bとこの不純物領域106a、106b間のチャネル領域121上にゲート絶縁膜105を介して形成されたゲート電極104cを有している。

【0012】一方、フィールド酸化膜102上には、他のトランスファゲートトランジスタのゲート電極104dが延在している。ゲート電極104b、104c、104dを覆うように酸化膜107が形成されている。また、不純物領域106a上には、この不純物領域106aに電氣的に接続されるように埋め込みビット線108が形成されている。この埋め込みビット線108を覆うように絶縁層109が形成されている。

【0013】これらの絶縁膜109および酸化膜107を覆うように第1の層間絶縁膜110が形成されている。この第1の層間絶縁膜110の上面は平坦化されている。第1の層間絶縁膜110において、不純物領域106b上に位置する部分にコンタクトホール110aが形成されている。

【0014】このコンタクトホール110a内には、不純物領域106bと電氣的に接続されたプラグ111が形成されている。このプラグ111の上面から第1の層間絶縁膜110の上面にわたって、白金等からなるキャパシタ下部電極114が形成されている。

【0015】キャパシタ下部電極114を覆うようにキャパシタ誘電膜115が形成されている。このキャパシタ誘電体115としては、PZTやSrTiO<sub>3</sub>等が用いられる。このキャパシタ誘電体膜115を覆うようにキャパシタ上部電極116が形成されている。このキャパシタ上部電極116としては、普通、白金等が用いられる。

【0016】キャパシタ上部電極116を覆うように第2の層間絶縁膜117が形成されている。この第2の層間絶縁膜117の上面は平坦化されている。第2の層間絶縁膜117上には、間隔を隔てて第1のアルミ配線層118が形成されている。この第1のアルミ配線層118を覆うように保護膜119が形成されている。この保護膜119上には、アルミニウム配線層120が形成されている。

【0017】上記のキャパシタ下部電極114と、キャパシタ誘電体膜115と、キャパシタ上部電極116と

で、キャパシタ160が構成されている。次に、図45～図53を用いて、図44に示される従来のDRAMの製造方法について説明する。図45～図53は、従来のDRAMの製造工程の第1工程から第9工程を示す断面図である。

【0018】まず、図45に示すように、半導体基板101の主表面上の素子分離領域に、LOCOS (Local Oxidation of Silicon) 法を用いてフィールド酸化膜102を形成する。次に、熱酸化法などを用いて、ゲート絶縁膜105を形成する。このゲート絶縁膜105上及びフィールド酸化膜102上に、選択的にゲート電極(ワード線)104b、104c、104dを形成する。

【0019】これらのゲート電極104b、104c、104dをマスクとして用いて、半導体基板101の主表面に不純物を注入することによって、不純物領域106c、106a、106bをそれぞれ形成する。そして、ゲート電極104b、104c、104dを覆うように酸化膜107を形成する。

【0020】そして、多結晶シリコンを半導体基板101全面上に形成した後で所定形状にパターニングすることによって、不純物領域106aに電氣的に接続される埋め込みビット線108を形成する。この埋め込みビット線108を覆うように絶縁層109を形成する。この後、CVD (Chemical Vapour Deposition) 法などを用いて、第1の層間絶縁膜110を形成する。そして、この第1の層間絶縁膜110に平坦化処理を施すことによって、第1の層間絶縁膜110の上面を平坦化する。

【0021】次に、図46に示すように、第1の層間絶縁膜110上に、所定形状にパターニングされたレジストパターン122を形成する。このレジストパターン122をマスクとして用いて、第1の層間絶縁膜110に異方性エッチング処理を施す。この後、レジストパターン122を除去する。これによって、図47に示されているように、コンタクトホール110aが形成される。

【0022】次に、図48に示すように、CVD法などを用いて、コンタクトホール110aを埋め込みかつ第1の層間絶縁膜110を覆うように、多結晶シリコン層111aを形成する。この多結晶シリコン層111aをエッチバックすることによって、図49に示されているように、コンタクトホール110a内にプラグ111が形成される。

【0023】次に、図50に示すように、スパッタリング法などを用いて、プラグ111及び第1の層間絶縁膜110上に白金層114等を形成する。この白金層114等の上に、所定形状にパターニングされたレジストパターン123を形成する。

【0024】次に、上記のレジストパターン123をマスクとして用いて、白金層114等にエッチング処理を施す。これによって、図51に示されているように、キ

ャパシタ下部電極 114 が形成される。

【0025】次に、図 52 に示すように、スパッタリング法や CVD 法等を用いて、キャパシタ下部電極 114 を覆うように高誘電率材料からなるキャパシタ誘電体膜 115 を形成する。このキャパシタ誘電体膜 115 の材質としては、PZT や  $\text{SrTiO}_3$  等が用いられる。キャパシタ誘電体膜 115 を覆うようにして、白金層 116 を形成する。この白金層 116 を所定形状に加工することによって、キャパシタ上部電極 116 が形成される。

【0026】次に、図 53 に示すように、CVD 法等を用いて、キャパシタ上部電極 116 を覆うように第 2 の層間絶縁膜 117 を形成する。この第 2 の層間絶縁膜 117 上に、所定間隔をあけて、第 1 のアルミ配線層 118 を形成する。そして、この第 1 のアルミ配線層 118 を覆うように、CVD 法等を用いて、シリコン酸化膜等からなる保護膜 119 を形成する（図 44 参照）。この保護膜 119 上に、第 2 のアルミ配線層 120 を形成する（図 44 参照）。以上の工程を経て、図 44 に示されている従来の DRAM が完成する。

#### 【0027】

【発明が解決しようとする課題】しかしながら、上記の従来の DRAM には、次に説明するような問題点があった。すなわち、従来例においては、層間絶縁膜の開口部を介して半導体基板の主表面と電氣的に接続されたキャパシタ下部電極及びキャパシタ誘電体膜上に形成されたキャパシタ上部電極等には、白金膜が用いられてきた。この白金膜は、誘電体膜との界面に反応層を形成しにくいという長所はあるものの、反応性に乏しいためその加工が難しいという問題があった。また、白金以外の電極材として例えば酸化ルテニウム等が知られているが、これら材料の薄膜は、層間絶縁膜に用いられるシリコン酸化膜との密着性に問題があった。また、この場合酸化ルテニウムの形成時に、プラグ材として用いるシリコンの酸化が避けられず、コンタクト抵抗の増加やキャパシタンスの低下が生じるといった問題があった。また、酸化ルテニウムが高温酸素雰囲気中に長時間暴露されると表面が荒れ、リーク電流が増加するといった問題があった。さらに、ルテニウム、イリジウム等の金属電極形成後に高温の熱処理が施される場合、酸化性の雰囲気でもこれら金属電極表面の荒れがおこる場合があり、リーク電流の増加がおこるといった問題もあった。

【0028】本発明は、上記のような問題点を解消するためになされたものであって、その製造が容易で、かつ、高いキャパシタンスのセルキャパシタを有する半導体装置、あるいはその製造方法を提供することを目的とする。

#### 【0029】

【課題を解決するための手段】上記の目的を達すべくなされた本発明の第 1 の態様は、主表面を有する半導体基

板と、前記半導体基板の主表面上に形成され、前記半導体基板の主表面にまで達する開口部を有する層間絶縁膜と、前記開口部に埋め込まれた接続部材と、前記接続部材を介して前記半導体基板の主表面と電氣的に接続されたキャパシタ下部電極と、前記キャパシタ下部電極上に形成された高誘電率材料からなるキャパシタ誘電体膜と、前記キャパシタ誘電体膜上に形成されたキャパシタ上部電極とを備えた半導体記憶装置であって、前記キャパシタ下部電極が金属電極と金属酸化膜とで構成されていて、前記金属電極がルテニウム又はイリジウムを主たる構成元素とし、前記金属酸化膜が前記金属電極を構成する元素の酸化物からなり、かつ、前記金属電極に接して前記金属電極の少なくとも上面及び側面を覆うように構成されていることを特徴とするものである。

【0030】本発明の第 2 の態様は、主表面を有する半導体基板と、前記半導体基板の主表面上に形成され、前記半導体基板の主表面にまで達する開口部を有する層間絶縁膜と、前記開口部に埋め込まれた接続部材と、前記接続部材を介して前記半導体基板の主表面と電氣的に接続されたキャパシタ下部電極と、前記キャパシタ下部電極上に形成された高誘電率材料からなるキャパシタ誘電体膜と、前記キャパシタ誘電体膜上に形成されたキャパシタ上部電極とを備えた半導体記憶装置であって、前記キャパシタ下部電極がコンタクト層と金属電極と金属酸化膜とで構成されていて、前記金属電極がルテニウム又はイリジウムを主たる構成元素とし、前記コンタクト層が前記金属電極を構成する元素のシリサイドからなり、かつ、前記金属電極と前記接続部材との間に挟持されており、前記金属酸化膜が前記金属電極を構成する元素の酸化物からなり、かつ、前記金属電極に接して前記金属電極の少なくとも上面及び側面を覆うように構成されていることを特徴とするものである。

【0031】本発明の第 3 の態様は、本発明の第 1 又は第 2 の態様にかかる半導体記憶装置において、前記金属電極の上面及び側面に形成される前記金属酸化膜の厚みが 20 nm 以上 100 nm 以下であることを特徴とするものである。

【0032】本発明の第 4 の態様は、本発明の第 1 又は第 2 の態様にかかる半導体記憶装置において、前記金属電極の上面に形成される前記金属酸化膜の厚みが 100 nm 以上 200 nm 以下であり、かつ、側面に形成される前記金属酸化膜の厚みが 20 nm 以上 100 nm 以下であることを特徴とするものである。

【0033】本発明の第 5 の態様は、本発明の第 1 ～第 4 の態様のいずれか 1 つにかかる半導体記憶装置において、前記接続部材の上端が前記層間絶縁膜表面から 30 nm 以上へこんでいることを特徴とするものである。

【0034】本発明の第 6 の態様は、本発明の第 1 ～第 5 の態様のいずれか 1 つにかかる半導体記憶装置において、前記層間絶縁膜と前記キャパシタ下部電極との間に

密着層が形成されていることを特徴とするものである。

【0035】本発明の第7の態様は、本発明の第2の態様にかかる半導体記憶装置において、前記層間絶縁膜と前記キャパシタ下部電極との間に密着層が形成され、かつ前記コンタクト層が前記密着層を構成する元素のシリサイド、又は前記キャパシタ下部電極を構成する元素のシリサイドのうち少なくとも一方で構成されていることを特徴とするものである。

【0036】本発明の第8の態様は、本発明の第7の態様にかかる半導体記憶装置において、前記金属電極の上面及び側面に形成される前記金属酸化膜の厚みが20nm以上100nm以下であることを特徴とするものである。

【0037】本発明の第9の態様は、本発明の第7の態様にかかる半導体記憶装置において、前記金属電極の上面に形成される前記金属酸化膜の厚みが100nm以上200nm以下であり、かつ、側面に形成される前記金属酸化膜の厚みが20nm以上100nm以下であることを特徴とするものである。

【0038】本発明の第10の態様は、本発明の第7の態様にかかる半導体記憶装置において、前記接続部材の上端が前記層間絶縁膜表面から30nm以上へこんでいることを特徴とするものである。

【0039】本発明の第11の態様は、半導体記憶装置の製造方法において、半導体基板の主表面上に、該主表面にまで達する開口部を有する層間絶縁膜を形成する工程と、前記開口部に接続部材を埋め込む工程と、前記接続部材を介して前記半導体基板の主表面と電気的に接続されるキャパシタ下部電極としてルテニウム又はイリジウムが主たる構成元素である金属薄膜を形成した後、該金属薄膜を所定のキャパシタ下部電極構造に加工する工程と、前記金属薄膜電極を構成する元素の酸化物からなる金属酸化膜電極を、前記金属薄膜電極表面の急速熱酸化処理と酸素を含むガス雰囲気中でのプラズマ処理とのうちの少なくとも1つの処理により形成する工程と、前記金属酸化膜電極上に、高誘電率材料からなるキャパシタ誘電体膜とキャパシタ上部電極とを順次形成する工程とを含むことを特徴とするものである。

【0040】本発明の第12の態様は、半導体記憶装置の製造方法において、半導体基板の主表面上に、該主表面にまで達する開口部を有する層間絶縁膜を形成する工程と、前記開口部に接続部材を埋め込む工程と、前記接続部材を介して前記半導体基板の主表面と電気的に接続されるキャパシタ下部電極としてルテニウム又はイリジウムが主たる構成元素である金属薄膜を形成する工程と、前記金属薄膜を構成する元素の酸化物からなる金属酸化膜を、前記金属薄膜上に形成した後、前記金属薄膜と前記金属酸化膜とからなる積層膜を所定のキャパシタ下部電極構造に加工する工程と、前記加工工程の後で、キャパシタ下部電極側面に現れる前記金属薄膜電極表面

を、急速熱酸化処理と酸素を含むガス雰囲気中でのプラズマ処理とのうちの少なくとも1つの処理により酸化し、金属酸化膜電極とする工程と、前記金属酸化膜電極上に、高誘電率材料からなるキャパシタ誘電体膜とキャパシタ上部電極とを順次形成する工程とを含むことを特徴とするものである。

【0041】本発明の第13の態様は、半導体記憶装置の製造方法において、半導体基板の主表面上に、該主表面にまで達する開口部を有する層間絶縁膜を形成する工程と、前記開口部にシリコンを主成分とする接続部材を埋め込む工程と、前記接続部材を介して前記半導体基板の主表面と電気的に接続されるキャパシタ下部電極としてルテニウム又はイリジウムが主たる構成元素である金属薄膜を形成した後、該金属薄膜を所定のキャパシタ下部電極構造に加工する工程と、前記金属薄膜電極を構成する元素の酸化物からなる金属酸化膜電極を、前記金属薄膜電極表面の急速熱酸化処理と酸素を含むガス雰囲気中でのプラズマ処理とのうちの少なくとも1つの処理により形成する工程と、前記金属薄膜のシリサイド層が前記金属電極と前記接続部材との間に形成されるよう熱処理を行う工程と、前記金属酸化膜電極上に、高誘電率材料からなるキャパシタ誘電体膜とキャパシタ上部電極とを順次形成する工程とを含むことを特徴とするものである。

【0042】本発明の第14の態様は、半導体記憶装置の製造方法において、半導体基板の主表面上に、該主表面にまで達する開口部を有する層間絶縁膜を形成する工程と、前記開口部にシリコンを主成分とする接続部材を埋め込む工程と、前記接続部材を介して前記半導体基板の主表面と電気的に接続されるキャパシタ下部電極としてルテニウム又はイリジウムが主たる構成元素である金属薄膜を形成する工程と、前記金属薄膜を構成する元素の酸化物からなる金属酸化膜を前記金属薄膜上に形成した後、前記金属薄膜と前記金属酸化膜とからなる積層膜を所定のキャパシタ下部電極構造に加工する工程と、前記加工工程の後で、キャパシタ下部電極側面に現れる前記金属薄膜電極表面を、急速熱酸化処理と酸素を含むガス雰囲気中でのプラズマ処理とのうちの少なくとも1つの処理により酸化し、金属酸化膜電極とする工程と、前記金属薄膜のシリサイド層が前記金属電極と前記接続部材との間に形成されるよう熱処理を行う工程と、前記金属酸化膜電極上に、高誘電率材料からなるキャパシタ誘電体膜とキャパシタ上部電極とを順次形成する工程とを含むことを特徴とするものである。

【0043】本発明の第15の態様は、半導体記憶装置の製造方法において、半導体基板の主表面上に、該主表面にまで達する開口部を有する層間絶縁膜を形成する工程と、前記開口部の一部を接続部材で埋め込む工程と、前記接続部材を介して前記半導体基板の主表面と電気的に接続されるキャパシタ下部電極としてルテニウム又は



イリジウムが主たる構成元素である金属薄膜を前記層間絶縁膜を覆いかつ開口部内を埋め込むように形成した後、該金属薄膜を所定のキャパシタ下部電極構造に加工する工程と、前記金属薄膜電極を構成する元素の酸化物からなる金属酸化膜電極を、前記金属薄膜電極表面の急速熱酸化処理と酸素を含むガス雰囲気中でのプラズマ処理とのうちの少なくとも1つの処理により形成する工程と、前記金属酸化膜電極上に、高誘電率材料からなるキャパシタ誘電体膜とキャパシタ上部電極とを順次形成する工程とを含むことを特徴とするものである。

【0044】本発明の第16の態様は、半導体記憶装置の製造方法において、半導体基板の主表面上に、該主表面にまで達する開口部を有する層間絶縁膜を形成する工程と、前記開口部の一部を接続部材で埋め込む工程と、前記接続部材を介して前記半導体基板の主表面と電気的に接続されるキャパシタ下部電極としてルテニウム又はイリジウムが主たる構成元素である金属薄膜を前記層間絶縁膜を覆いかつ開口部内を埋め込むように形成する工程と、前記金属薄膜を構成する元素の酸化物からなる金属酸化膜を前記金属薄膜上に形成した後、前記金属薄膜と前記金属酸化膜とからなる積層膜を所定のキャパシタ下部電極構造に加工する工程と、前記加工工程の後で、キャパシタ下部電極側面に現れる前記金属薄膜電極表面を、急速熱酸化処理と酸素を含むガス雰囲気中でのプラズマ処理とのうちの少なくとも1つの処理により酸化し、金属酸化膜電極とする工程と、前記金属酸化膜電極上に、高誘電率材料からなるキャパシタ誘電体膜とキャパシタ上部電極とを順次形成する工程とを含むことを特徴とするものである。

【0045】本発明の第17の態様は、半導体記憶装置の製造方法において、半導体基板の主表面上に、該主表面にまで達する開口部を有する層間絶縁膜を形成する工程と、前記開口部の一部をシリコンを主成分とする接続部材で埋め込む工程と、前記接続部材を介して前記半導体基板の主表面と電気的に接続されるキャパシタ下部電極としてルテニウム又はイリジウムが主たる構成元素である金属薄膜を前記層間絶縁膜を覆いかつ開口部内を埋め込むように形成した後、該金属薄膜を所定のキャパシタ下部電極形状に加工する工程と、前記金属薄膜電極を構成する元素の酸化物からなる金属酸化膜電極を、前記金属薄膜電極表面の急速熱酸化処理と酸素を含むガス雰囲気中でのプラズマ処理とのうちの少なくとも1つの処理により形成する工程と、前記金属薄膜のシリサイド層が前記金属電極と前記接続部材との間に形成されるよう熱処理を行う工程と、前記金属酸化膜電極上に、高誘電率材料からなるキャパシタ誘電体膜とキャパシタ上部電極とを順次形成する工程とを含むことを特徴とするものである。

【0046】本発明の第18の態様は、半導体記憶装置の製造方法において、半導体基板の主表面上に、該主表

面にまで達する開口部を有する層間絶縁膜を形成する工程と、前記開口部の一部をシリコンを主成分とする接続部材で埋め込む工程と、前記接続部材を介して前記半導体基板の主表面と電気的に接続されるキャパシタ下部電極としてルテニウム又はイリジウムが主たる構成元素である金属薄膜を前記層間絶縁膜を覆いかつ開口部内を埋め込むように形成する工程と、前記金属薄膜を構成する元素の酸化物からなる金属酸化膜を前記金属薄膜上に形成した後、前記金属薄膜と前記金属酸化膜とからなる積層膜を所定のキャパシタ下部電極構造に加工する工程と、前記加工工程の後で、キャパシタ下部電極側面に現れる前記金属薄膜電極表面を、急速熱酸化処理と酸素を含むガス雰囲気中でのプラズマ処理とのうちの少なくとも1つの処理により酸化し、金属酸化膜電極とする工程と、前記金属薄膜のシリサイド層が前記金属電極と前記接続部材との間に形成されるよう熱処理を行う工程と、前記金属酸化膜電極上に、高誘電率材料からなるキャパシタ誘電体膜とキャパシタ上部電極とを順次形成する工程とを含むことを特徴とするものである。

【0047】本発明の第19の態様は、本発明の第12、第14、第16又は第18の態様にかかる半導体記憶装置の製造方法において、キャパシタ下部電極としてのルテニウム又はイリジウムを主たる構成元素とする金属薄膜の酸化物を形成する工程の後に、化学的機械研磨法により前記キャパシタ下部電極表面を平坦化する工程を含むことを特徴とするものである。

【0048】本発明の第20の態様は、本発明の第11～第19の態様のいずれか1つにかかる半導体記憶装置の製造方法において、層間絶縁膜の開口部を接続部材で埋め込む工程の後に、前記層間絶縁膜と前記キャパシタ下部電極とを密着させる密着層を形成する工程を含むことを特徴とするものである。

【0049】

【作用】本発明の第1の態様にかかる半導体記憶装置においては、金属電極がルテニウム又はイリジウムで構成されるが、ルテニウムやイリジウムあるいはこれらの酸化物は、白金に比べてドライエッチングによる加工が容易であるので、電極の加工が容易となる。また、金属酸化膜がルテニウム又はイリジウムの酸化物で構成され、かつ前記金属電極に接して該金属電極の少なくとも上面及び側面を覆うようになっているが、ルテニウムやイリジウムの酸化物は、誘電体膜を反応性スパッタリング法やCVD法により堆積するときやゾルゲル法で形成した誘電体膜を結晶化させるときの高温酸素雰囲気中で安定であるので、キャパシタンスの低下やリーク電流の増加が生じない。さらに、キャパシタ構造をスタック型などの立体セル構造とし、その下部電極をルテニウムやイリジウムで構成し、その表面を電極材の酸化層で覆えば、キャパシタ容量が大きくなる。

【0050】本発明の第2の態様にかかる半導体記憶装



置においては、基本的には本発明の第1の態様にかかる半導体記憶装置の場合と同様の作用が生じる。さらに、金属電極と接続部材との間に金属電極を構成する元素のシリサイドからなるコンタクト層が設けられるので、コンタクト抵抗が低減される。

【0051】本発明の第3の態様にかかる半導体記憶装置においては、基本的には本発明の第1又は第2の態様にかかる半導体記憶装置の場合と同様の作用が生じる。さらに、金属電極の上面及び側面に形成される金属酸化膜の厚みが、好ましく20nm以上100nm以下とされるので、該金属酸化膜の膜質が良好となる。

【0052】本発明の第4の態様にかかる半導体記憶装置においては、基本的には本発明の第1又は第2の態様にかかる半導体記憶装置と同様の作用が生じる。さらに、金属電極の上面に形成される金属酸化膜の厚みが好ましく100nm以上700nm以下とされ、側面に形成される金属酸化膜の厚みが好ましく20nm以上100nm以下とされるので、該金属酸化膜の膜質が一層良好となる。

【0053】本発明の第5の態様にかかる半導体記憶装置においては、基本的には本発明の第1～第4の態様のいずれか1つにかかる半導体記憶装置の場合と同様の作用が生じる。さらに、接続部材の上端が層間絶縁膜表面から好ましく30nm以上へこんでいるので、金属酸化膜形成時における接続部材の酸化が防止される。

【0054】本発明の第6の態様にかかる半導体記憶装置においては、基本的には本発明の第1～第5の態様のいずれか1つにかかる半導体記憶装置の場合と同様の作用が生じる。さらに、層間絶縁膜とキャパシタ下部電極との間に密着層が形成されているので、層間絶縁膜とキャパシタ下部電極との間の密着性が良好となる。

【0055】本発明の第7の態様にかかる半導体記憶装置においては、基本的には本発明の第2の態様にかかる半導体記憶装置の場合と同様の作用が生じる。さらに、層間絶縁膜とキャパシタ下部電極との間に密着層が形成されているので、層間絶縁膜とキャパシタ下部電極との間の密着性が良好となる。また、コンタクト層が密着層を構成する元素のシリサイド又はキャパシタ下部電極を構成する元素のシリサイドで構成されるので、コンタクト抵抗が一層低減される。

【0056】本発明の第8の態様にかかる半導体記憶装置においては、基本的には本発明の第7の態様にかかる半導体記憶装置の場合と同様の作用が生じる。さらに、金属電極の上面及び側面に形成される金属酸化膜の厚みが好ましく20nm以上100nm以下とされるので、該金属酸化膜の膜質が良好となる。

【0057】本発明の第9の態様にかかる半導体記憶装置においては、基本的には本発明の第7の態様にかかる半導体記憶装置の場合と同様の作用が生じる。さらに、金属電極の上面に形成される金属酸化膜の厚みが好まし

く100nm以上200nm以下とされ、側面に形成される金属酸化膜の厚みが好ましく20nm以上100nm以下とされるので、該金属酸化膜の膜質が一層良好となる。

【0058】本発明の第10の態様にかかる半導体記憶装置においては、基本的には本発明の第7の態様にかかる半導体記憶装置の場合と同様の作用が生じる。さらに、接続部材の上端が層間絶縁膜表面から好ましく30nm以上へこんでいるので、金属酸化膜形成時における接続部材の酸化が防止される。

【0059】本発明の第11の態様にかかる半導体記憶装置の製造方法においては、従来の製造手法とは異なり、ルテニウム又はイリジウムが主たる構成元素である金属薄膜が、接続部材を介して半導体基板の主表面と電気的に接続され、この後該金属薄膜は目的のキャパシタ下部電極形状に加工される。次に、該金属薄膜を構成する元素の酸化物からなる金属酸化膜が、金属薄膜電極表面の急速熱酸化処理及び／又は酸素を含むガス雰囲気中でのプラズマ処理により形成され、キャパシタ下部電極が形成される。かくして、前記のような種々の利点を備えた本発明にかかる半導体記憶装置が容易に製造される。

【0060】本発明の第12の態様にかかる半導体記憶装置の製造方法においては、従来の製造手法とは異なり、ルテニウム又はイリジウムが主たる構成元素である金属薄膜が、接続部材を介して半導体基板の主表面と電気的に接続される。次に、金属薄膜を構成する元素の酸化物からなる金属酸化膜が金属薄膜上に形成され、該金属薄膜と該金属酸化膜とからなる積層膜が目的のキャパシタ下部電極形状に加工される。加工後、キャパシタ下部電極側面には金属薄膜電極表面が一部露出するが、この露出部は急速熱酸化処理及び／又は酸素を含むガス雰囲気中でのプラズマ処理により酸化される。かくして、前記のような種々の利点を備えた本発明にかかる半導体記憶装置が容易に製造される。

【0061】本発明の第13の態様にかかる半導体記憶装置の製造方法においては、従来の製造手法とは異なり、ルテニウム又はイリジウムが主たる構成元素である金属薄膜が、接続部材を介して半導体基板の主表面と電気的に接続され、該金属薄膜は目的のキャパシタ下部電極形状に加工される。そして、金属薄膜電極を構成する元素の酸化物からなる金属酸化膜が、金属薄膜電極表面の急速熱酸化処理及び／又は酸素を含むガス雰囲気中でのプラズマ処理により形成される。さらに、金属薄膜のシリサイド層が金属電極と接続部材との間に形成されるように熱処理が行われ、キャパシタ下部電極が形成される。かくして、前記のような種々の利点を備えた本発明にかかる半導体記憶装置が容易に製造される。

【0062】本発明の第14の態様にかかる半導体記憶装置の製造方法においては、従来の製造手法とは異な

17

り、ルテニウム又はイリジウムが主たる構成元素である金属薄膜が接続部材を介して半導体基板の主表面と電気的に接続される。次に、金属薄膜を構成する元素の酸化物からなる金属酸化膜がその金属薄膜上に形成され、該金属薄膜と該金属酸化膜とからなる積層膜が目的のキャパシタ下部電極形状に加工される。加工後、キャパシタ下部電極側面には金属薄膜電極表面が一部露出しているが、該露出部は急速熱酸化処理及び／又は酸素を含むガス雰囲気中でのプラズマ処理により酸化される。さらに、金属薄膜のシリサイド層が金属電極と接続部材との間に形成されるように熱処理が行われる。かくして、前記のような種々の利点を備えた本発明にかかる半導体記憶装置が容易に製造される。

【0063】本発明の第15の態様にかかる半導体記憶装置の製造方法においては、従来の製造手法とは異なり、ルテニウム又はイリジウムが主たる構成元素である金属薄膜が、層間絶縁膜を覆いかつ開口部内を埋め込むように形成され、接続部材を介して半導体基板の主表面と電気的に接続され、該金属薄膜は目的のキャパシタ下部電極形状に加工される。そして、金属薄膜電極を構成する元素の酸化物からなる金属酸化膜が、金属薄膜電極表面の急速熱酸化処理及び／又は酸素を含むガス雰囲気中でのプラズマ処理により形成される。かくして、前記のような種々の利点を備えた本発明にかかる半導体記憶装置が容易に製造される。

【0064】本発明の第16の態様にかかる半導体記憶装置の製造方法においては、従来の製造手法とは異なり、ルテニウム又はイリジウムが主たる構成元素である金属薄膜が、層間絶縁膜を覆いかつ開口部内を埋め込むように形成され、接続部材を介して半導体基板の主表面と電気的に接続される。次に、金属薄膜電極を構成する元素の酸化物からなる金属酸化膜がその金属薄膜上に形成され、該金属薄膜と該金属酸化膜とからなる積層膜が目的のキャパシタ下部電極形状に加工される。加工後、キャパシタ下部電極側面には金属薄膜電極表面が一部露出しているが、該露出部は急速熱酸化処理及び／又は酸素を含むガス雰囲気中でのプラズマ処理により酸化される。かくして、前記のような種々の利点を備えた本発明にかかる半導体記憶装置が容易に製造される。

【0065】本発明の第17の態様にかかる半導体記憶装置の製造方法においては、従来の製造手法とは異なり、ルテニウム又はイリジウムが主たる構成元素である金属薄膜が、層間絶縁膜を覆いかつ開口部内を埋め込むように形成され、接続部材を介して半導体基板の主表面と電気的に接続され、該金属薄膜は目的のキャパシタ下部電極形状に加工される。そして、金属薄膜電極を構成する元素の酸化物からなる金属酸化膜が、金属薄膜電極表面の急速熱酸化処理及び／又は酸素を含むガス雰囲気中でのプラズマ処理により形成される。さらに、金属薄膜のシリサイド層が金属電極と接続部材との間に形成さ

18

れるように熱処理が行われる。かくして、前記のような種々の利点を備えた本発明にかかる半導体記憶装置が容易に製造される。

【0066】本発明の第18の態様にかかる半導体記憶装置の製造方法においては、従来の製造手法とは異なり、ルテニウム又はイリジウムが主たる構成元素である金属薄膜が、層間絶縁膜を覆いかつ開口部内を埋め込むように形成され、接続部材を介して半導体基板の主表面と電気的に接続される。次に、金属薄膜を構成する元素の酸化物からなる金属酸化膜がその金属薄膜上に形成され、該金属薄膜と該金属酸化膜とからなる積層膜が目的のキャパシタ下部電極形状に加工される。加工後、キャパシタ下部電極側面には金属薄膜電極表面が一部露出しているが、該露出部は急速熱酸化処理及び／又は酸素を含むガス雰囲気中でのプラズマ処理により酸化される。さらに、金属薄膜のシリサイド層が金属電極と接続部材との間に形成されるように熱処理が行われる。かくして、前記のような種々の利点を備えた本発明にかかる半導体記憶装置が容易に製造される。

【0067】本発明の第19の態様にかかる半導体記憶装置の製造方法においては、基本的には本発明の第12、第14、第16又は第18の態様にかかる半導体記憶装置の製造方法の場合と同様の作用が生じる。さらに、化学的機械研磨法によりキャパシタ下部電極表面が平坦化されるので、リーク電流の増加が抑制される。

【0068】本発明の第20の態様にかかる半導体記憶装置の製造方法においては、基本的には本発明の第11～第19の態様のいずれか1つにかかる半導体記憶装置の製造方法の場合と同様の作用が生じる。さらに、層間絶縁膜とキャパシタ下部電極との間に密着層が形成されるので、該層間絶縁膜とキャパシタ下部電極との間の密着性が良好となる。

【0069】

【実施例】以下、本発明の実施例を具体的に説明する。  
 <第1実施例>以下、本発明の第1実施例を図1を用いて説明する。図1は、本発明に基づく第1実施例にかかるDRAMの構造を示す部分断面図である。図1中において、P型半導体基板101、フィールド酸化膜102、トランスファゲートトランジスタ103a、103b、N型不純物領域106a、106b、106c、チャネル領域121、ゲート絶縁膜105、ゲート電極104a、104b、104d、酸化膜107、埋め込みビット線108、絶縁層109、第1の層間絶縁膜110、コンタクトホール110a、プラグ111等のキャパシタ下部の構造については、図44に一例を示す従来の半導体記憶装置と同様である。また、キャパシタ上部の第2の層間絶縁膜117、第1のアルミ配線層118、保護膜119、アルミニウム配線層120等も、図44に示す従来の半導体記憶装置と同様である。

【0070】第1実施例においては、キャパシタ下部電

19

極114を、金属電極130と金属酸化膜131とによって構成した。ここで、金属電極130の材料には、従来の材料である白金に代えてルテニウム又はイリジウムを用いた。また、金属酸化膜131の形成においては、まず金属電極130の上部にそれらの金属電極材の酸化物である上面金属酸化膜131aを堆積し、金属電極130と該上面金属酸化膜131aとを合わせて加工した後、金属電極130の側面を酸素プラズマ雰囲気下で酸化することで側面金属酸化膜131bとし、上面金属酸化膜131aと側面金属酸化膜131bとにより金属酸化膜131が構成されるようにしている。キャパシタ下部電極114の膜厚としては、金属電極130については30～600nmであることが望ましく、金属酸化膜131については、上面及び側面とも20～100nmであることが望ましい。第1実施例においては、金属電極130については膜厚を300nmとし、金属酸化膜131については膜厚を上面及び側面とも50nmとした。なお、層間絶縁膜110と金属電極130との間の密着性に問題がある場合は、図2に示すようにチタン、ジルコニウム、タンタル、シリコン、クロム、ニッケル、コバルト、ニオブ、モリブデン等の金属又はそれらの合金、あるいはその窒化物を密着層133として用いるのが有効である。キャパシタ誘電体膜115にはBaTiO<sub>3</sub>膜を用いた。第1実施例では下部電極側面への被覆性の観点からキャパシタ誘電体膜115の形成法としてCVD法を選択している。電極膜とキャパシタ誘電体膜115のエッチング加工は、反応性イオンエッチング法によって行った。キャパシタ上部電極116には酸化ルテニウムを用いた。その膜厚は、好ましくは30～600nmであり、第1実施例では100nmとした。第1実施例においては、キャパシタ電極を、従来の白金に代えてルテニウムあるいはイリジウムによって構成したので、反応性イオンエッチングでの加工が容易となった。また、キャパシタ誘電体膜の形成時に界面低誘電率層の生成も認められず、信頼性の高い安定したキャパシタ特性を実現できた。

【0071】上記のように、キャパシタ下部電極をイリジウムやルテニウムからなる金属電極とそれらの酸化物からなる金属酸化膜で構成したので、従来の白金を電極材として用いた場合に比べて、電極の加工が容易となる。層間絶縁膜と金属電極の間の密着性は、密着層により改善される。また、キャパシタ下部電極の表面が金属酸化膜で覆われるようにしたので、キャパシタ誘電体膜形成時の高温の酸化雰囲気でも電極表面が反応せず、安定なキャパシタ特性が得られる。第1実施例においては、金属酸化膜を形成するために金属電極に対して急速熱処理炉での酸化処理を施しているが、これ以外の方法として、酸素を含むプラズマによる酸化やCVD法による膜形成等も用いることができる。さらに、本発明は、DRAM以外の高誘電率膜を用いた薄膜キャパシタを有

20

するデバイスに対しても有効に適用できることはいうまでもない。

【0072】<第2実施例>以下、本発明の第2実施例を図3を用いて説明する。図3は、本発明に基づく第2実施例にかかるDRAMの構造を示す部分断面図である。図3中において、P型半導体基板101、フィールド酸化膜102、トランスファゲートトランジスタ103a、103b、N型不純物領域106a、106b、106c、チャネル領域121、ゲート絶縁膜105、ゲート電極104a、104b、104d、酸化膜107、埋め込みビット線108、絶縁層109、第1の層間絶縁膜110、コンタクトホール110a、プラグ111等のキャパシタ下部の構造については、図44に一例を示す従来の半導体記憶装置と同様である。また、キャパシタ上部の第2の層間絶縁膜117、第1のアルミ配線層118、保護膜119、アルミニウム配線層120等も、図44に示す従来の半導体記憶装置と同様である。

【0073】第2実施例においては、プラグ111は隣をドーブした多結晶シリコンとしている。金属酸化膜130の形成時の熱処理によってプラグ111が酸化されるのを防ぐために、多結晶シリコンに対してエッチングを施すことで、プラグ111の上端が第1の層間絶縁膜110の上面より凹んでいるようにした。その凹みの程度は30～500nmが適当であり、第2実施例では50nmとした。さらに、プラグ111を覆うように、キャパシタ下部電極114として、シリサイド層132、金属電極130及び金属酸化膜131が形成されている。ここで、金属電極130の材料には、従来の白金に代えてルテニウム又はイリジウムを用い、その側面及び上面を急速熱処理炉で酸化することによって金属酸化膜131としている。ここにおいて、処理温度を600℃以上の高温にすることで、金属電極130の一部がプラグ111のシリコンと反応し、シリサイド層132となる。このシリサイド層132の形成によって、キャパシタ下部電極114と基板101との間の電気的な抵抗を低減することができる。図4に示すように、層間絶縁膜110と金属電極130との間に、第1実施例で提案した密着層133を設ける場合は、密着層133とプラグ111のシリコンとが反応してシリサイド層を形成する可能性があるが、これは何ら問題はなく、キャパシタ下部電極114と基板101との間の電気的な抵抗の低減が可能であることは確認済みである。キャパシタ下部電極114膜の膜厚は、金属電極130については30～200nmであることが望ましく、第2実施例では100nmとした。また、上面金属酸化膜131については100～700nmであることが望ましく、第2実施例では600nmとした。側面金属酸化膜131については20～100nmであることが望ましく、第2実施例では50nmとした。また、キャパシタ上部電極116に



21

はルテニウムの酸化物を用いた。その膜厚は、好ましくは40～200nmであり、第2実施例では100nmとした。キャパシタ誘電体膜115には $\text{SrTiO}_3$ 膜を用い、第2実施例では第1実施例と同様に下部電極側面への被覆性の観点からキャパシタ誘電体膜115の形成法としてCVD法を選択している。電極膜とキャパシタ誘電体膜115のエッチング加工は、反応性イオンエッチング法によって行うようにしている。第2実施例においては、キャパシタの電極を従来の白金に代えてルテニウムあるいはイリジウムによって構成したので、反応性イオンエッチングでの加工が容易となる。また、キャパシタ誘電体膜形成時に界面低誘電率層の生成も認められず、信頼性の高い安定したキャパシタ特性を実現することができる。また、この素子においてはプラグの上端を層間絶縁膜の上面から凹ませ、かつ、下部電極の一部をシリサイド層としたために、コンタクト抵抗を低減させることができる。なお、プラグの上端を層間絶縁膜の上面から凹ませることなく、下部電極の一部をシリサイド層とすることによってもコンタクト抵抗の低減効果があることも確認済みである。

【0074】上記のように、キャパシタ下部電極をイリジウムやルテニウムからなる金属電極とイリジウムやルテニウムの酸化物からなる金属酸化膜及びイリジウムやルテニウムのシリサイド層で構成したので、従来の白金を電極材として用いた場合に比べて、電極の加工が容易となる。層間絶縁膜と金属電極の間の密着性は、密着層により改善される。また、キャパシタ下部電極の表面が金属酸化膜で覆われるようにしたので、キャパシタ誘電体膜形成時の高温の酸化雰囲気でも電極表面が反応せず、安定なキャパシタ特性が得られるようになり、プラグ材のシリコンと金属電極がシリサイド層を介して接続されているようにしたので、コンタクト抵抗を低減することができる。さらに、プラグの上端を層間膜の上面から凹ませたので、金属酸化膜やキャパシタ誘電体膜形成時にプラグ材のシリコンが酸化されることを避けることができる。なお、第2実施例においては、金属酸化膜を形成するために金属電極に対して急速熱処理炉での酸化処理を施したがこれ以外の方法として、酸素を含むプラズマによる酸化やCVD法による膜形成等も用いることができる。さらに、本発明は、高誘電率膜を用いた薄膜キャパシタを有する他のデバイスに対しても有効に適用することができるのはいうまでもない。また、シリサイド層の形成を金属電極の酸化と同時に行ったが、金属電極の酸化をより低温で行い、その後にシリサイド形成を行っても、あるいは逆の順で金属酸化膜の形成とシリサイド層の形成を行っても差しつかえはない。さらに、本発明は、DRAM以外の高誘電率膜を用いた薄膜キャパシタを有するデバイスに対しても有効に適用することができるのはいうまでもない。

【0075】＜第3実施例＞以下、本発明の第3実施例

22

である半導体記憶装置の製造方法を、図5～図13を用いて説明する。図5～図13は、本発明に基づく第3実施例にかかるDRAMの製造工程（製造方法）を示す部分断面図である。

【0076】まず、図5に示すように、従来例と同様の方法で、P型半導体基板101、フィールド酸化膜102、トランスファゲートトランジスタ103a、103b、N型不純物領域106a、106b、106c、チャネル領域121、ゲート絶縁膜105、ゲート電極104a、104b、104d、酸化膜107、埋め込みビット線108、絶縁層109、第1の層間絶縁膜110、コンタクトホール110a等のキャパシタ下部の構造を形成する。そして、 $\text{SiH}_4$ 系のガスによるCVD法を用いてコンタクトホール110a内を埋め込みかつ第1の層間絶縁膜110を覆うように形成した燐をドーブした多結晶シリコン層にRIE法などを用いてエッチバック処理を施す。これにより、コンタクトホール110a内にプラグ111を形成する。プラグ111の材料として第3実施例ではシリコンを用いているが、タングステン、チタン、タンタルといった金属あるいはこれら金属の合金や窒化物等も用いることができる。

【0077】次に、図6に示すように、金属電極130をプラグ111の上面上及び第1の層間絶縁膜110表面上に堆積する。金属電極130の材質としてはルテニウム、イリジウム等が用いられる。第3実施例では用いていないが、これら金属電極130と層間絶縁膜110との間の密着性に問題がある場合は、第1実施例で提案したように密着層133を形成する方法が有効である。ルテニウム、イリジウム等の堆積法としては、CVD法、スパッタリング法等が用いられる。第3実施例においては、金属電極130としてルテニウム膜が、半導体基板101を400℃に加熱してスパッタリング法によって300nmの膜厚で形成された。半導体基板101の加熱は行っても行わなくてもよいが、行う場合は850℃以下にすることが好ましい。また、金属電極130の膜厚は20nm～500nmの範囲にあることが好ましい。金属電極130はCVD法による形成も可能である。ルテニウムをCVDで堆積する場合、 $\text{Ru}(\text{C}_5\text{H}_5)_2$ 、 $\text{Ru}(\text{DPM})_3$ 、 $\text{Ru}_3(\text{CO})_{12}$ 及び $\text{Ru}(\text{hfb})(\text{CO})_4$ のいずれかを原料として300℃～700℃で堆積することができる。

【0078】次に、図7に示すように、金属電極130をRIE処理して所定の形状にパターンニングする。第3実施例においては、キャパシタの電極を従来の白金に代えてルテニウムあるいはイリジウムによって構成したので、RIEでの加工が容易となり、金属電極130側面の残さも認められない。

【0079】次に、図8に示すように、金属電極130の表面を酸化し、金属酸化膜電極131aを形成する。第3実施例においては、金属電極130としてのルテニ

ウムの酸化には、減圧酸素雰囲気中で半導体基板101を赤外線ランプにより500℃～700℃で10秒から600秒保持する急速熱酸化法を用いた。一般的な電気炉において500℃以上で加熱酸化すると、形成された酸化ルテニウムの表面が荒れてしまいリーク電流を増加させる要因となるが、急速熱酸化法により形成された酸化ルテニウムは表面形状が平坦であった。金属酸化膜電極131aの膜厚は第3実施例では上面及び側面とも50nmとしたが、上面及び側面で10～100nmであればよい。金属電極130の表面を酸化する方法として、室温あるいは500℃以下での酸素、N<sub>2</sub>O、オゾン等の酸化性ガス雰囲気下のプラズマ処理も用いることができる。この場合も、酸化ルテニウム表面が平坦であることが確認されている。

【0080】この第3実施例のように、プラグ111にシリコンを主成分とする材料を選択した場合、図9に示すように、金属酸化膜電極131aで金属電極130を覆った後、500℃～800℃で10秒から60秒の急速熱処理を施すことにより、金属電極の一部をその金属のシリサイドにすることができる。第3実施例においては10nmのルテニウムシリサイド層132を形成した。なお、シリサイド層132の膜厚は50nm以下であることが望ましい。このように金属電極の一部をシリサイド化することにより安定なコンタクトを形成することができ、コンタクト抵抗が低減される。第1実施例で提案したように、層間絶縁膜110と金属電極130との間に密着層133を設ける場合は、密着層133とプラグ111のシリコンが反応してシリサイド層を形成する可能性があるが、これは何ら問題はなく、キャパシタ下部電極114と基板101との間の電気的な抵抗の低減が可能であることが確認されている。第3実施例においては金属電極加工後にシリサイド層132の形成を行っているが、加工工程前であっても問題はない。

【0081】次に、図10あるいは図11に示すように、キャパシタ誘電体膜115としてSrTiO<sub>3</sub>膜を堆積し、続いて上部電極116として酸化ルテニウムを堆積する。第3実施例では、キャパシタ下部電極側面への被覆性の観点からキャパシタ誘電体膜115の形成法としてCVD法を選択している。キャパシタ誘電体膜形成時において、第3実施例に示した酸化ルテニウム、ルテニウム積層電極構造は安定であり、界面低誘電率層の生成も認められず、信頼性の高い安定したキャパシタ特性が実現された。上部電極116としての酸化ルテニウム膜の堆積には、第3実施例においては、反応性スパッタリング法を用いた。この形成法は金属ルテニウムをターゲットとし、スパッタリングのガス成分に酸素を添加するものである。なお、酸化ルテニウム上部電極の膜厚は金属電極130堆積の場合と同様である。以上のようにして上部電極116まで形成した後、所定形状にパターニングする。

【0082】次に、図12あるいは図13に示すように、キャパシタ上部の第2の層間絶縁膜117、第1のアルミ配線層118、保護膜119、アルミニウム配線層120等を従来と同様の方法で形成すると、本発明に基づく第3実施例におけるDRAMが完成することになる。

【0083】上記のように、キャパシタ下部電極を、イリジウムやルテニウムからなる金属電極と、それらの酸化物からなる金属酸化膜とで構成したので、従来の白金を電極材として用いた場合に比べて、電極の加工が容易となった。また、キャパシタ下部電極の表面が金属酸化膜で覆われるようにしたので、キャパシタ誘電体膜形成時に電極表面が反応せず、安定なキャパシタ特性が得られるようになった。第3実施例においては、金属酸化膜を形成するために金属電極に対して急速熱処理法での酸化処理を施したので、キャパシタ下部電極表面を平坦にすることができ、リーク電流の増加を抑制することができた。プラグ材としてシリコンを主成分とする材料を用いる場合には、金属電極がシリサイド層を介して接続されるようにしたので、コンタクト抵抗を低減することができた。さらに、本発明は、DRAM以外の高誘電率膜を用いた薄膜キャパシタを有するデバイスに対しても有効に適用できるものであることはいうまでもない。

【0084】＜第4実施例＞以下、本発明の第4実施例を示す半導体記憶装置の製造方法を、図14～図23を用いて説明する。図14～図23は、本発明に基づく第4実施例にかかるDRAMの製造工程（製造方法）を示す部分断面図である。

【0085】まず、図14と図15とに示すように、P型半導体基板101、フィールド酸化膜102、トランスタゲートトランジスタ103a、103b、N型不純物領域106a、106b、106c、チャネル領域121、ゲート絶縁膜105、ゲート電極104a、104b、104d、酸化膜107、埋め込みビット線108、絶縁層109、第1の層間絶縁膜110、コンタクトホール110a、プラグ111及び金属電極130を第3実施例と同様の方法で形成する。第4実施例には用いていないが、第1実施例で提案したように、金属電極130と層間絶縁膜110との間の密着性に問題がある場合は、密着層133を形成する。

【0086】次に、図16に示すように、金属電極130の表面に金属酸化膜電極131aを形成する。第4実施例においては、金属酸化膜電極131aとして反応性スパッタリング法により堆積した酸化ルテニウム膜を用いている。この酸化ルテニウムは半導体基板を室温から500℃に保持し、スパッタリングガスとしアルゴンと酸素の混合ガスを導入して形成している。その膜厚は金属電極130を形成する場合と同様である。こうして堆積された酸化ルテニウムの表面は平坦であった。なお、金属酸化膜電極131aとしての酸化ルテニウムの形成

25

法については、第3実施例で提案したように、金属電極130としてのルテニウム表面の急速熱酸化法、あるいは酸素、 $N_2O$ 、オゾン等の酸化性ガス雰囲気下のプラズマ酸化法を適用できることはいうまでもない。

【0087】金属酸化膜電極131aとしての酸化ルテニウムを500℃以上に加熱して堆積する場合、あるいは堆積後500℃以上の熱処理を施す場合には酸化ルテニウムの表面が荒れてしまいリーク電流を増加させる。この場合、酸性を示し酸化アルミニウムを主成分とするスラリーを用いた化学的機械研磨法で図16に示すように平坦化することができる。なお、この方法で平坦化した場合、リーク電流は印加電圧1Vにおいて1平方センチメートルあたり45nAであり、平坦な金属酸化膜電極を堆積した場合の1平方センチメートルあたり45nAと比べてリーク電流の増加は認められなかった。なお、化学的機械研磨法による平坦化を行わなかった場合、リーク電流は1平方センチメートルあたり10mA以上と大きかった。

【0088】次に、図17に示すように、金属電極130及び金属酸化膜電極131aの積層電極をRIE処理して所定の形状にパターンニングする。第4実施例においては、キャパシタの電極を従来の白金に代えてルテニウムもしくはイリジウム又はこれらの酸化物によって構成したので、RIEでの加工が容易となり、積層電極側面の残さも認められない。

【0089】次に、図18に示すように、金属電極130及び金属酸化膜電極131aの積層電極の側面部のうち金属電極130が露出している部分を酸化し、金属電極130を金属酸化膜電極131bで覆う。第4実施例では酸化ルテニウムあるいはルテニウムの積層電極において、その側面部に露出しているルテニウムを第3実施例で提示した急速熱酸化法、あるいは酸化性ガス雰囲気下のプラズマ酸化法で酸化し、ルテニウム層が酸化ルテニウム電極で覆われるようにした。

【0090】この第4実施例に示すように、プラグ111にシリコンを主成分とする材料を選択した場合、図19に示すように、金属酸化膜電極131a、131bで金属電極130を覆った後、500℃～800℃で10秒から60秒の急速熱処理を施すことにより、金属電極の一部をその金属のシリサイドにすることができる。第4実施例においては10nmのルテニウムシリサイド層132を形成した。なお、シリサイド層132の膜厚は50nm以下であることが望ましい。このように金属電極の一部をシリサイド化することにより安定なコンタクトを形成でき、コンタクト抵抗が低減される。第1実施例で提案したように、層間絶縁膜110と金属電極130の間に密着層133を設ける場合は、密着層133とプラグ111のシリコンが反応してシリサイド層を形成する場合があるが、これは何ら問題はなく、キャパシタ下部電極114と基板101との間の電気的な抵抗の低

26

減が可能であることが確認されている。第4実施例においては金属電極加工後にシリサイド層の形成を行っているが、加工工程前であっても問題はない。

【0091】次に、図20あるいは図21に示すように、キャパシタ誘電体膜115として $SrTiO_3$ 膜を堆積し、続いて上部電極116として酸化ルテニウムを堆積する。第4実施例では、キャパシタ下部電極側面への被覆性の観点からキャパシタ誘電体膜115の形成法としてCVD法を選択している。キャパシタ誘電体膜形成時において、第4実施例に示した酸化ルテニウム、ルテニウム積層電極構造は安定であり、界面低誘電率層の生成も認められず、信頼性の高い安定したキャパシタ特性が実現された。上部電極116の形成法、膜厚については第3実施例と同様である。以上のようにして上部電極116まで形成した後、所定形状にパターンニングする。

【0092】次に、図22あるいは図23に示すように、キャパシタ上部の第2の層間絶縁膜117、第1のアルミ配線層118、保護膜119、アルミニウム配線層120等を従来と同様の方法で形成すると、本発明に基づく第4実施例にかかるDRAMが完成されることになる。

【0093】上記のように、キャパシタ下部電極をイリジウムやルテニウムからなる金属電極とそれらの酸化物からなる金属酸化膜とで構成したので、従来の白金を電極材として用いた場合に比べて、電極の加工が容易となる。また、キャパシタ下部電極が表面荒れのない金属酸化膜で覆われるようにしたので、キャパシタ誘電体膜形成時に電極表面が反応せずかつリーク特性に優れたキャパシタ特性が得られる。なお、第4実施例に示したように、金属酸化膜の形成においてその金属酸化膜表面が荒れた場合にも化学的機械研磨法を用いて平坦化処理することでリーク電流の増加を抑制できる。プラグ材としてシリコンを主成分とする材料を用いる場合には、金属電極がシリサイド層を介して接続されるようにしたので、コンタクト抵抗が低減される。さらに、本発明は、DRAM以外の高誘電率膜を用いた薄膜キャパシタを有するデバイスに対しても有効に適用できるものであることはいうまでもない。

【0094】＜第5実施例＞以下、本発明の第5実施例を示す半導体記憶装置の製造方法を、図24～図32を用いて説明する。図24～図32は、本発明に基づく第5実施例にかかるDRAMの製造工程（製造方法）を示す部分断面図である。

【0095】まず、図24に示すように、従来例と同様の方法で、P型半導体基板101、フィールド酸化膜102、トランスマゲートトランジスタ103a、103b、N型不純物領域106a、106b、106c、チャネル領域121、ゲート絶縁膜105、ゲート電極104a、104b、104d、酸化膜107、埋め込



27

みビット線108、絶縁層109、第1の層間絶縁膜110、コンタクトホール110a等のキャパシタ下部の構造を形成する。次に、 $\text{SiH}_4$ 系のガスによるCVD法を用いてコンタクトホール110a内を埋め込みかつ第1の層間絶縁膜110を覆うように形成した燐をドーブした多結晶シリコン層にRIE法などを用いてエッチバック処理を施す。その際、後に示す金属酸化膜電極131aの形成時や、金属酸化膜電極131aの形成時のための熱処理、あるいはキャパシタ誘電体膜形成時にプラグ111が酸化されるのを防ぐために、プラグ111の上端が第1の層間絶縁膜110の上面より凹んでいるようにした。その凹みの程度は30~500nmが適当であり、第5実施例では50nmとした。このようにして、コンタクトホール110a内にプラグ111を形成する。プラグ111の材料として第5実施例ではシリコンを用いたが、タングステン、チタン、タンタルといった金属及びこれら金属の合金や窒化物等も用いることができる。

【0096】次に、図25~図29に示すように、第3実施例に提示したプロセスを用いて金属電極130、金属酸化膜電極131a、キャパシタ誘電体膜115、上部電極116、キャパシタ上部の第2の層間絶縁膜117、第1のアルミ配線層118、保護膜119、アルミニウム配線層120等を形成すると、図29に示すような本発明に基づく第5実施例にかかるDRAMの1つが完成する。なお、第1実施例で提案したように、金属電極130と層間絶縁膜110との間の密着性に問題がある場合は、密着層133を形成する方法が有効である。

【0097】この第5実施例に示すように、プラグ111にシリコンを主成分とする材料を選択した場合、図24~図26に示す工程の後、図30に示すように、金属酸化膜電極131aで金属電極130を覆い500℃~800℃で10秒から60秒の急速熱処理を施すことにより、金属電極の一部をその金属のシリサイドにすることができる。第5実施例においては10nmのルテニウムシリサイド層132を形成した。なお、シリサイド層の膜厚は50nm以下であることが望ましい。このように金属電極の一部をシリサイド化することにより安定なコンタクトを形成でき、コンタクト抵抗も低減できる。第1実施例で提案したように、層間絶縁膜110と金属電極130の間に密着層133を設ける場合は、密着層133とプラグ111のシリコンが反応してシリサイド層を形成する場合があるが、これは何ら問題はなく、キャパシタ下部電極114と基板101との間の電気的な抵抗の低減が可能であることが確認されている。この工程に引き続いて図31と図32とに示すように、第3実施例に提示したプロセスを用いて金属電極130、金属酸化膜電極131a、キャパシタ誘電体膜115、上部電極116、キャパシタ上部の第2の層間絶縁膜117、第1のアルミ配線層118、保護膜119、アルミ

28

ニウム配線層120等を形成すると、図32に示すような本発明に基づく第5実施例にかかるもう1つのDRAMが完成する。

【0098】上記のように、キャパシタ下部電極をイリジウムやルテニウムからなる金属電極とそれらの酸化物からなる金属酸化膜とで構成したので、従来の白金を電極材として用いた場合に比べて、電極の加工が容易となる。また、キャパシタ下部電極が表面荒れのない金属酸化膜で覆われるようにしたので、キャパシタ誘電体膜形成時に電極表面が反応せずかつリーク特性に優れたキャパシタ特性が得られる。なお、第5実施例に示したように、金属酸化膜の形成においてその金属酸化膜表面が荒れた場合にも化学的機械研磨法を用いて平坦化処理することでリーク電流の増加を抑制することができる。また、プラグの上端を層間膜の上面から凹ませたので、金属酸化膜やキャパシタ誘電体膜形成時にプラグ材のシリコンが酸化されるのを避けることができる。プラグ材としてシリコンを主成分とする材料を用いる場合には、金属電極がシリサイド層を介して接続されるようにしたので、コンタクト抵抗が低減される。さらに、本発明は、DRAM以外の高誘電率膜を用いた薄膜キャパシタを有するデバイスに対しても有効に適用できるものであることはいうまでもない。

【0099】<第6実施例>以下、本発明の第6実施例を示す半導体記憶装置の製造方法を、図33~図42を用いて説明する。図33~図42は、本発明に基づく第6実施例にかかるDRAMの製造工程（製造方法）を示す部分断面図である。

【0100】まず、図33に示すように、従来例と同様の方法で、P型半導体基板101、フィールド酸化膜102、トランスファゲートトランジスタ103a、103b、N型不純物領域106a、106b、106c、チャネル領域121、ゲート絶縁膜105、ゲート電極104a、104b、104d、酸化膜107、埋め込みビット線108、絶縁層109、第1の層間絶縁膜110、コンタクトホール110a等のキャパシタ下部の構造を形成する。次に、 $\text{SiH}_4$ 系のガスによるCVD法を用いてコンタクトホール110a内を埋め込みかつ第1の層間絶縁膜110を覆うように形成した燐をドーブした多結晶シリコン層にRIE法などを用いてエッチバック処理を施す。その際、後に示す金属酸化膜電極131a、131bの形成時や金属酸化膜電極131a、131bの形成時のための熱処理、あるいはキャパシタ誘電体膜形成時にプラグ111が酸化されるのを防ぐために、プラグ111の上端が第1の層間絶縁膜110の上面より凹んでいるようにした。その凹みの程度は30~500nmが適当であり、第6実施例では50nmとした。このようにしてコンタクトホール110a内にプラグ111を形成する。プラグ111の材料として第6実施例ではシリコンを用いたが、タングステン、チタ

ン、タンタルといった金属及びこれら金属の合金や窒化物等も用いることができる。

【0101】次に、図34～図39に示すように、第4実施例に示したプロセスを用いて金属電極130、金属酸化膜電極131a、131b、キャパシタ誘電体膜115、上部電極116、キャパシタ上部の第2の層間絶縁膜117、第1のアルミ配線層118、保護膜119、アルミニウム配線層120等を形成すると、図39に示すような本発明に基づく第6実施例にかかるDRAMの1つが完成する。第1実施例で提案したように、金属電極130と層間絶縁膜110との間の密着性に問題がある場合は、密着層133を形成する方法が有効である。

【0102】第4実施例に示したように、金属酸化膜電極としての酸化ルテニウムを500℃以上に加熱して堆積する場合あるいは堆積後500℃以上の熱処理を施す場合には酸化ルテニウムの表面が荒れてしまいリーク電流を増加させる。この場合、酸性を示し酸化アルミニウムを主成分とするスラリーを用いた化学的機械研磨法で図35に示すように平坦化することができる。なお、この方法で平坦化した場合、リーク電流は印加電圧1Vにおいて1平方センチメートルあたり45nAであり、平坦な金属酸化膜電極を堆積した場合の1平方センチメートルあたり45nAと比べてリーク電流の増加は認められなかった。また、化学的機械研磨法による平坦化を行わなかった場合、リーク電流は1平方センチメートルあたり10mA以上と大きかった。また、この第6実施例に示すように、プラグ111にシリコンを主成分とする材料を選択した場合、図33～図37に示す工程の後、図40に示すように、金属酸化膜電極131a、131bで金属電極130を覆い500℃～800℃で10秒から60秒の急速熱処理を施すことにより、金属電極の一部をその金属のシリサイドにすることができる。第6実施例においては10nmのルテニウムシリサイド層132を形成した。なお、シリサイド層132の膜厚は50nm以下であることが望ましい。このように金属電極の一部をシリサイド化することにより安定なコンタクトを形成することができ、コンタクト抵抗を低減することができる。層間絶縁膜110と金属電極130との間に密着層133を設ける場合は、密着層133とプラグ111のシリコンが反応してシリサイド層を形成する場合があるが、これは何ら問題はなく、キャパシタ下部電極114と基板101との間の電気的な抵抗の低減が可能であることが確認されている。この工程に引き続いて、図41と図42とに示すように、第4実施例に提示したプロセスを用いて金属電極130、金属酸化膜電極131a、131b、キャパシタ誘電体膜115、上部電極116、キャパシタ上部の第2の層間絶縁膜117、第1のアルミ配線層118、保護膜119、アルミニウム配線層120等を形成すると、図42に示すような本発

明に基づく第6実施例にかかるもう1つのDRAMが完成する。

【0103】上記のように、キャパシタ下部電極をイリジウムやルテニウムからなる金属電極とそれらの酸化物からなる金属酸化膜とで構成したので、従来の白金を電極材として用いた場合に比べて、電極の加工が容易となる。また、キャパシタ下部電極が表面荒れのない金属酸化膜で覆われるようにしたので、キャパシタ誘電体膜形成時に電極表面が反応せずかつリーク特性に優れたキャパシタ特性が得られる。なお、第6実施例に示したように、金属酸化膜の形成においてその金属酸化膜表面が荒れた場合にも化学的機械研磨法を用いて平坦化処理することでリーク電流の増加を抑制することができる。また、プラグの上端を層間膜の上面から凹ませたので、金属酸化膜やキャパシタ誘電体膜形成時にプラグ材のシリコンが酸化されるのが避けられる。プラグ材としてシリコンを主成分とする材料を用いる場合には、金属電極がシリサイド層を介して接続されるようにしたので、コンタクト抵抗が低減される。さらに、本発明は、DRAM以外の高誘電率膜を用いた薄膜キャパシタを有するデバイスに対しても有効に適用できるものであることはいうまでもない。

#### 【0104】

【発明の効果】本発明の第1の態様にかかる半導体記憶装置によれば、ドライエッチングによる加工が容易であるので、電極の加工が容易となり、製造コストが低減される。また、キャパシタンスの低下やリーク電流の増加が生じないので、半導体記憶装置の品質が高められる。さらに、キャパシタ構造をスタック型などの立体セル構造とし、その下部電極をルテニウムやイリジウムで構成し、その表面を電極材の酸化層で覆えば、キャパシタ容量が大きくなり、半導体記憶装置の性能が良くなる。

【0105】本発明の第2の態様にかかる半導体記憶装置によれば、基本的には本発明の第1の態様にかかる半導体記憶装置の場合と同様の効果が得られる。さらに、コンタクト抵抗が低減されるので、半導体記憶装置の性能が一層良くなる。

【0106】本発明の第3の態様にかかる半導体記憶装置によれば、基本的には本発明の第1又は第2の態様にかかる半導体記憶装置の場合と同様の効果が得られる。さらに、金属酸化膜の膜質が良好となるので、半導体記憶装置の品質がさらに高められる。

【0107】本発明の第4の態様にかかる半導体記憶装置によれば、基本的には本発明の第1又は第2の態様にかかる半導体記憶装置と同様の効果が得られる。さらに、金属酸化膜の膜質が一層良好となるので、半導体記憶装置の品質がなお一層高められる。

【0108】本発明の第5の態様にかかる半導体記憶装置によれば、基本的には本発明の第1～第4の態様のいずれか1つにかかる半導体記憶装置の場合と同様の効果

が得られる。さらに、金属酸化膜形成時における接続部材の酸化が防止されるので、半導体記憶装置の品質が非常に良好となる。

【0109】本発明の第6の態様にかかる半導体記憶装置によれば、基本的には本発明の第1～第5の態様のいずれか1つにかかる半導体記憶装置の場合と同様の効果が得られる。さらに、層間絶縁膜とキャパシタ下部電極との間の密着性が良好となるので、半導体記憶装置の品質がさらに良好となる。

【0110】本発明の第7の態様にかかる半導体記憶装置によれば、基本的には本発明の第2の態様にかかる半導体記憶装置の場合と同様の効果が得られる。さらに、層間絶縁膜とキャパシタ下部電極との間の密着性が良好となり、かつコンタクト抵抗が一層低減されるので、半導体記憶装置の品質が極めて良好となる。

【0111】本発明の第8の態様にかかる半導体記憶装置によれば、基本的には本発明の第7の態様にかかる半導体記憶装置の場合と同様の効果が得られる。さらに、金属酸化膜の膜質が良好となるので、半導体記憶装置の品質が一層高められる。

【0112】本発明の第9の態様にかかる半導体記憶装置によれば、基本的には本発明の第7の態様にかかる半導体記憶装置の場合と同様の効果が得られる。さらに、金属酸化膜の膜質がさらに良好となるので、半導体記憶装置の品質がさらに高められる。

【0113】本発明の第10の態様にかかる半導体記憶装置によれば、基本的には本発明の第7の態様にかかる半導体記憶装置の場合と同様の効果が得られる。さらに、金属酸化膜形成時における接続部材の酸化が防止されるので、半導体記憶装置の品質が非常に高められる。

【0114】本発明の第11の態様にかかる半導体記憶装置の製造方法によれば、前記のような種々の利点を備えた本発明にかかる半導体記憶装置を容易に製造することができるので、製造コストが低減される。

【0115】本発明の第12の態様にかかる半導体記憶装置の製造方法によれば、前記のような種々の利点を備えた本発明にかかる半導体記憶装置を容易に製造することができるので、製造コストが低減される。

【0116】本発明の第13の態様にかかる半導体記憶装置の製造方法によれば、前記のような種々の利点を備えた本発明にかかる半導体記憶装置を容易に製造することができるので、製造コストが低減される。

【0117】本発明の第14の態様にかかる半導体記憶装置の製造方法によれば、前記のような種々の利点を備えた本発明にかかる半導体記憶装置を容易に製造することができるので、製造コストが低減される。

【0118】本発明の第15の態様にかかる半導体記憶装置の製造方法によれば、前記のような種々の利点を備えた本発明にかかる半導体記憶装置を容易に製造することができるので、製造コストが低減される。

【0119】本発明の第16の態様にかかる半導体記憶装置の製造方法によれば、前記のような種々の利点を備えた本発明にかかる半導体記憶装置を容易に製造することができるので、製造コストが低減される。

【0120】本発明の第17の態様にかかる半導体記憶装置の製造方法によれば、前記のような種々の利点を備えた本発明にかかる半導体記憶装置を容易に製造することができるので、製造コストが低減される。

【0121】本発明の第18の態様にかかる半導体記憶装置の製造方法によれば、前記のような種々の利点を備えた本発明にかかる半導体記憶装置を容易に製造することができるので、製造コストが低減される。

【0122】本発明の第19の態様にかかる半導体記憶装置の製造方法によれば、基本的には本発明の第12、第14、第16又は第18の態様にかかる半導体記憶装置の製造方法の場合と同様の効果が得られる。さらに、化学的機械研磨法によりキャパシタ下部電極表面が平坦化されるので、リーク電流の増加が抑制され、半導体記憶装置の品質がさらに高められる。

【0123】本発明の第20の態様にかかる半導体記憶装置の製造方法によれば、基本的には本発明の第11～第19の態様のいずれか1つにかかる半導体記憶装置の製造方法の場合と同様の効果が得られる。さらに、層間絶縁膜とキャパシタ下部電極との間の密着性が良好となるので、半導体記憶装置の品質が一層高められる。

#### 【図面の簡単な説明】

【図1】 本発明の第1実施例にかかるDRAMの部分断面図である。

【図2】 本発明の第1実施例にかかるもう1つのDRAMの部分断面図である。

【図3】 本発明の第2実施例にかかるDRAMの部分断面図である。

【図4】 本発明の第2実施例にかかるもう1つのDRAMの部分断面図である。

【図5】 本発明の第3実施例にかかるDRAMの製造方法の第1工程におけるDRAMの部分断面図である。

【図6】 本発明の第3実施例にかかるDRAMの製造方法の第2工程におけるDRAMの部分断面図である。

【図7】 本発明の第3実施例にかかるDRAMの製造方法の第3工程におけるDRAMの部分断面図である。

【図8】 本発明の第3実施例にかかるDRAMの製造方法の第4工程におけるDRAMの部分断面図である。

【図9】 本発明の第3実施例にかかるDRAMのもう一つの製造方法の第4工程におけるDRAMの部分断面図である。

【図10】 本発明の第3実施例にかかるDRAMの製造方法の第5工程におけるDRAMの部分断面図である。

【図11】 本発明の第3実施例にかかるDRAMのもう一つの製造方法の第5工程におけるDRAMの部分断



面図である。

【図 1 2】 本発明の第 3 実施例にかかる DRAM の製造方法の第 6 工程における DRAM の部分断面図である。

【図 1 3】 本発明の第 3 実施例にかかる DRAM のもう一つの製造方法の第 6 工程における DRAM の部分断面図である。

【図 1 4】 本発明の第 4 実施例にかかる DRAM の製造方法の第 1 工程における DRAM の部分断面図である。

【図 1 5】 本発明の第 4 実施例にかかる DRAM の製造方法の第 2 工程における DRAM の部分断面図である。

【図 1 6】 本発明の第 4 実施例にかかる DRAM の製造方法の第 3 工程における DRAM の部分断面図である。

【図 1 7】 本発明の第 4 実施例にかかる DRAM の製造方法の第 4 工程における DRAM の部分断面図である。

【図 1 8】 本発明の第 4 実施例にかかる DRAM の製造方法の第 5 工程における DRAM の部分断面図である。

【図 1 9】 本発明の第 4 実施例にかかる DRAM のもう一つの製造方法の第 5 工程における DRAM の部分断面図である。

【図 2 0】 本発明の第 4 実施例にかかる DRAM の製造方法の第 6 工程における DRAM の部分断面図である。

【図 2 1】 本発明の第 4 実施例にかかる DRAM のもう一つの製造方法の第 6 工程における DRAM の部分断面図である。

【図 2 2】 本発明の第 4 実施例にかかる DRAM の製造方法の第 7 工程における DRAM の部分断面図である。

【図 2 3】 本発明の第 4 実施例にかかる DRAM のもう一つの製造方法の第 7 工程における DRAM の部分断面図である。

【図 2 4】 本発明の第 5 実施例にかかる DRAM の製造方法の第 1 工程における DRAM の部分断面図である。

【図 2 5】 本発明の第 5 実施例にかかる DRAM の製造方法の第 2 工程における DRAM の部分断面図である。

【図 2 6】 本発明の第 5 実施例にかかる DRAM の製造方法の第 3 工程における DRAM の部分断面図である。

【図 2 7】 本発明の第 5 実施例にかかる DRAM の製造方法の第 4 工程における DRAM の部分断面図である。

【図 2 8】 本発明の第 5 実施例にかかる DRAM の製

造方法の第 5 工程における DRAM の部分断面図である。

【図 2 9】 本発明の第 5 実施例にかかる DRAM の製造方法の第 6 工程における DRAM の部分断面図である。

【図 3 0】 本発明の第 5 実施例にかかる DRAM のもう一つの製造方法のシリサイド層形成工程における DRAM の部分断面図である。

【図 3 1】 本発明の第 5 実施例にかかる DRAM のもう一つの製造方法の第 5 工程における DRAM の部分断面図である。

【図 3 2】 本発明の第 5 実施例にかかる DRAM のもう一つの製造方法の第 6 工程における DRAM の部分断面図である。

【図 3 3】 本発明の第 6 実施例にかかる DRAM の製造方法の第 1 工程における DRAM の部分断面図である。

【図 3 4】 本発明の第 6 実施例にかかる DRAM の製造方法の第 2 工程における DRAM の部分断面図である。

【図 3 5】 本発明の第 6 実施例にかかる DRAM の製造方法の第 3 工程における DRAM の部分断面図である。

【図 3 6】 本発明の第 6 実施例にかかる DRAM の製造方法の第 4 工程における DRAM の部分断面図である。

【図 3 7】 本発明の第 6 実施例にかかる DRAM の製造方法の第 5 工程における DRAM の部分断面図である。

【図 3 8】 本発明の第 6 実施例にかかる DRAM の製造方法の第 6 工程における DRAM の部分断面図である。

【図 3 9】 本発明の第 6 実施例にかかる DRAM の製造方法の第 7 工程における DRAM の部分断面図である。

【図 4 0】 本発明の第 6 実施例にかかる DRAM のもう一つの製造方法のシリサイド層形成工程における DRAM の部分断面図である。

【図 4 1】 本発明の第 6 実施例にかかる DRAM のもう一つの製造方法の第 6 工程における DRAM の部分断面図である。

【図 4 2】 本発明の第 6 実施例にかかる DRAM のもう一つの製造方法の第 7 工程における DRAM の部分断面図である。

【図 4 3】 DRAM の一般的な構成を示すブロック図である。

【図 4 4】 従来の DRAM の一例を示す部分断面図である。

【図 4 5】 従来の DRAM の製造工程の第 1 工程における DRAM の部分断面図である。

35

【図46】 従来のDRAMの製造工程の第2工程におけるDRAMの部分断面図である。

【図47】 従来のDRAMの製造工程の第3工程におけるDRAMの部分断面図である。

【図48】 従来のDRAMの製造工程の第4工程におけるDRAMの部分断面図である。

【図49】 従来のDRAMの製造工程の第5工程におけるDRAMの部分断面図である。

【図50】 従来のDRAMの製造工程の第6工程におけるDRAMの部分断面図である。

【図51】 従来のDRAMの製造工程の第7工程におけるDRAMの部分断面図である。

【図52】 従来のDRAMの製造工程の第8工程におけるDRAMの部分断面図である。

【図53】 従来のDRAMの製造工程の第9工程におけるDRAMの部分断面図である。

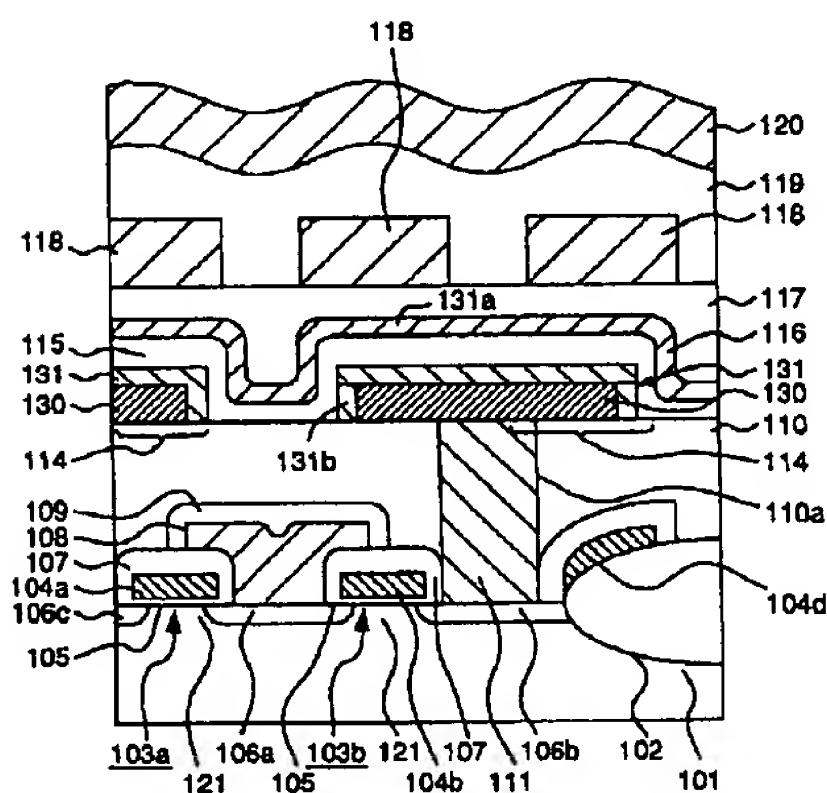
【符号の説明】

101 半導体基板、102 フィールド酸化膜、103 a トランスファークゲートトランジスタ、103 b \*

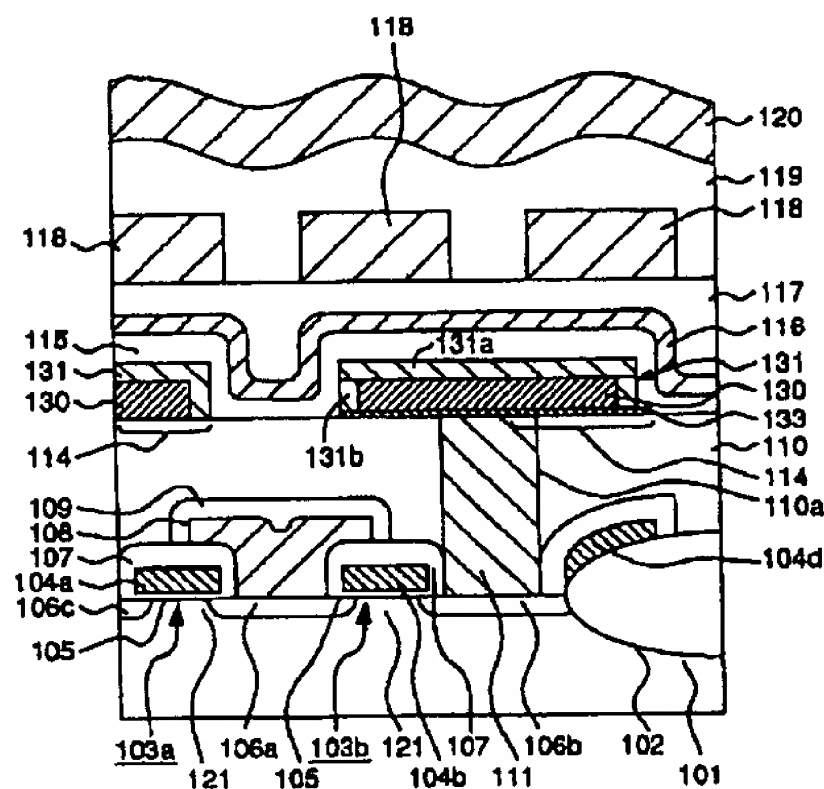
36

\*トランスファークゲートトランジスタ、104 a ゲート電極、104 b ゲート電極、104 d ゲート電極、105 ゲート絶縁膜、106 a 不純物領域、106 b 不純物領域、106 c 不純物領域、108 埋め込みビット線、109 絶縁層、110 第1の層間絶縁膜、110 a コンタクトホール、111 プラグ、114 キャパシタ下部電極、115 キャパシタ誘電体膜、116 キャパシタ上部電極、117 第2の層間絶縁膜、118 第1のアルミ配線層、119 保護膜、120 アルミニウム配線層、121 チャンネル領域、130 金属電極、131 金属酸化膜、131 a 上面金属酸化膜、131 b 側面金属酸化膜、132 シリサイド層、133 密着層、150 DRAM、151 メモリセルアレイ、152 ロウアンドカラムアドレスバッファ、153 ロウデコーダ、154 カラムデコーダ、155 センスリフレッシュアンプ、156 データインバッファ、157 データアウトバッファ、158 クロックジェネレータ、160 キャパシタ。

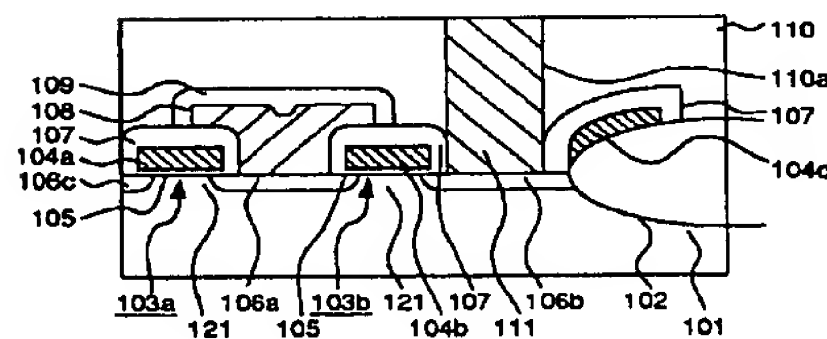
【図1】



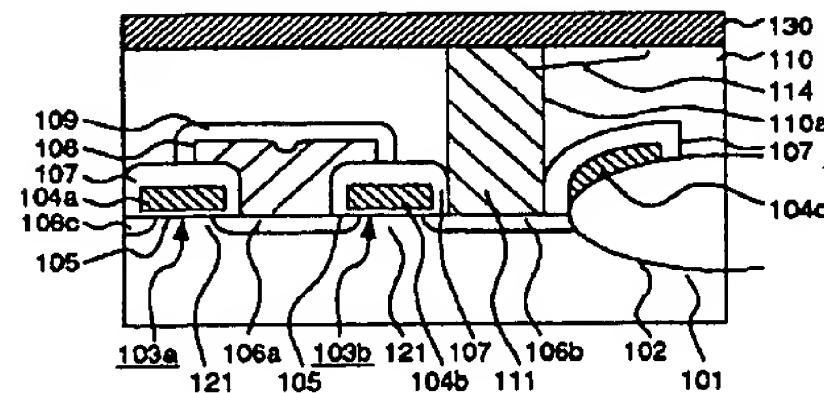
【図2】



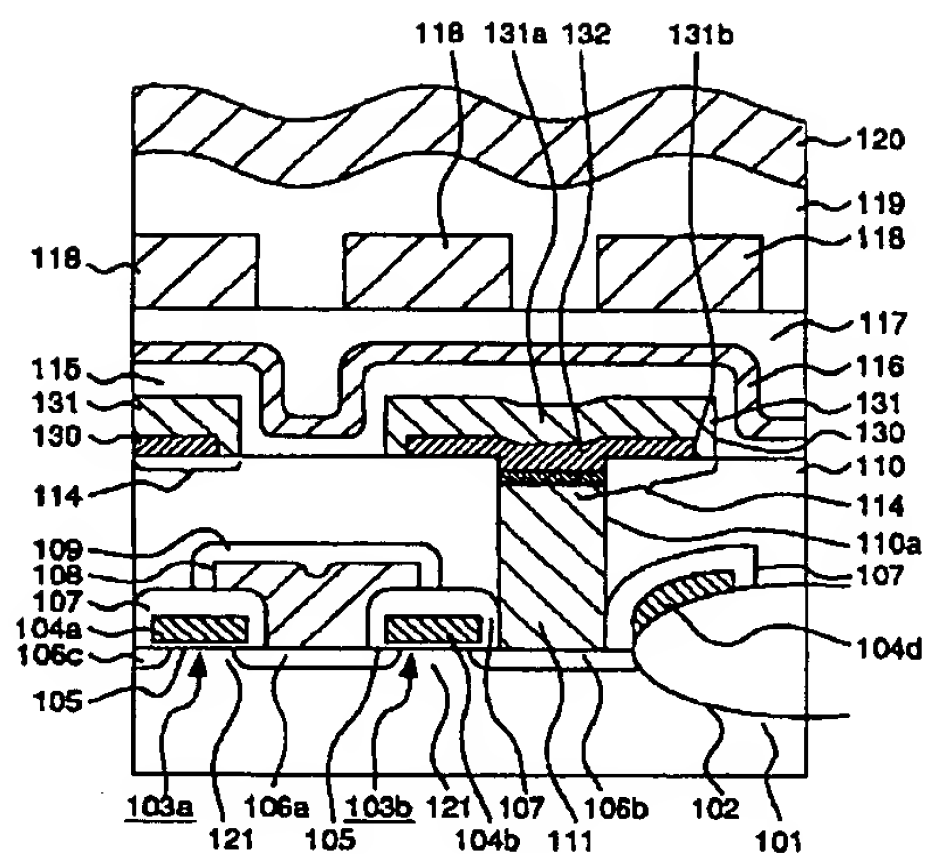
【図5】



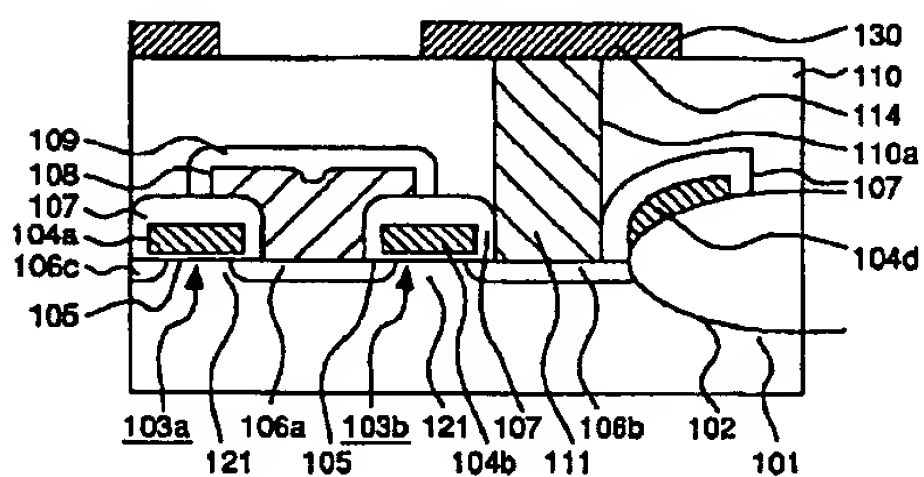
【図6】



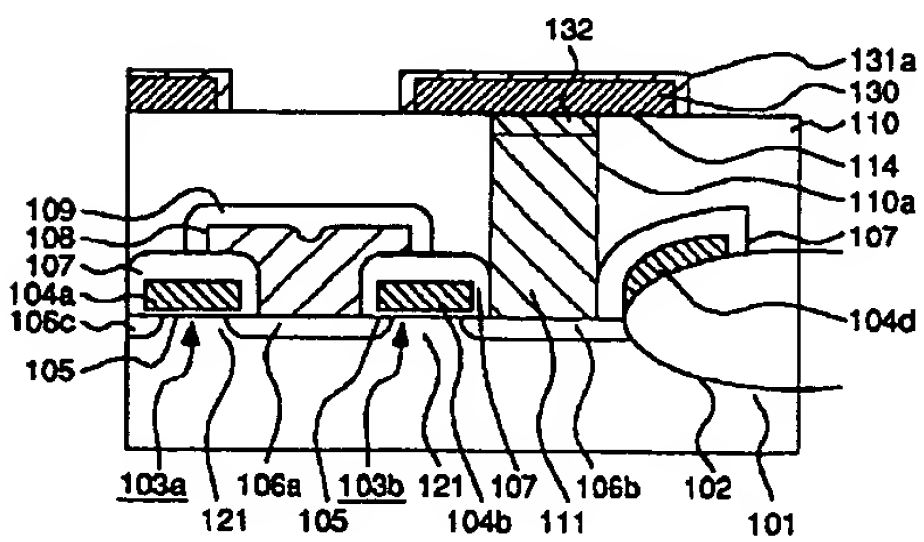
【圖 3】



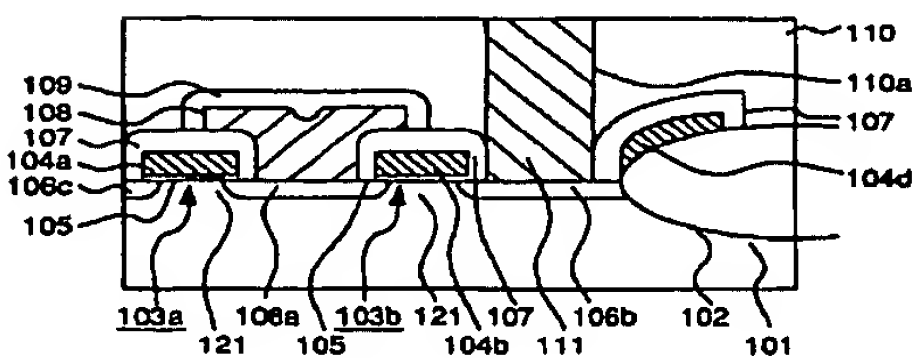
【図 7】



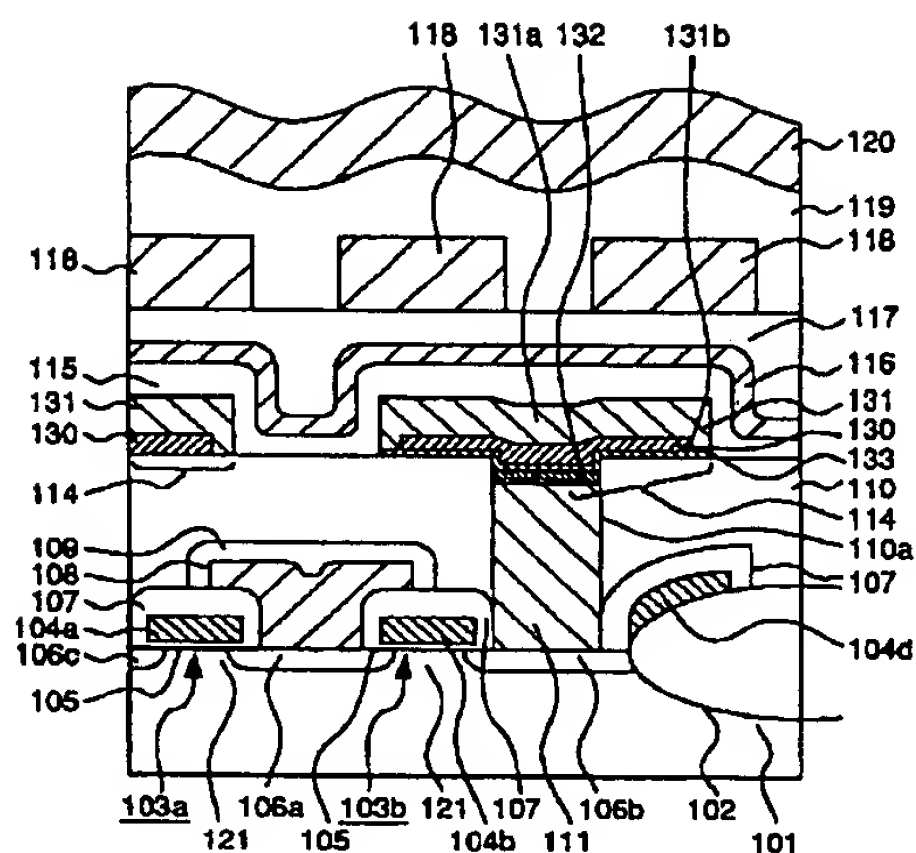
【図 9】



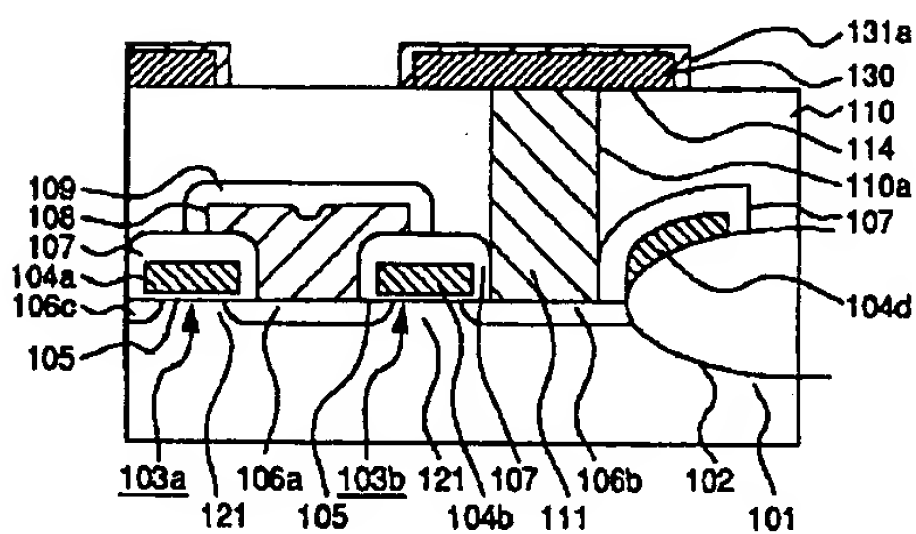
【图 14】



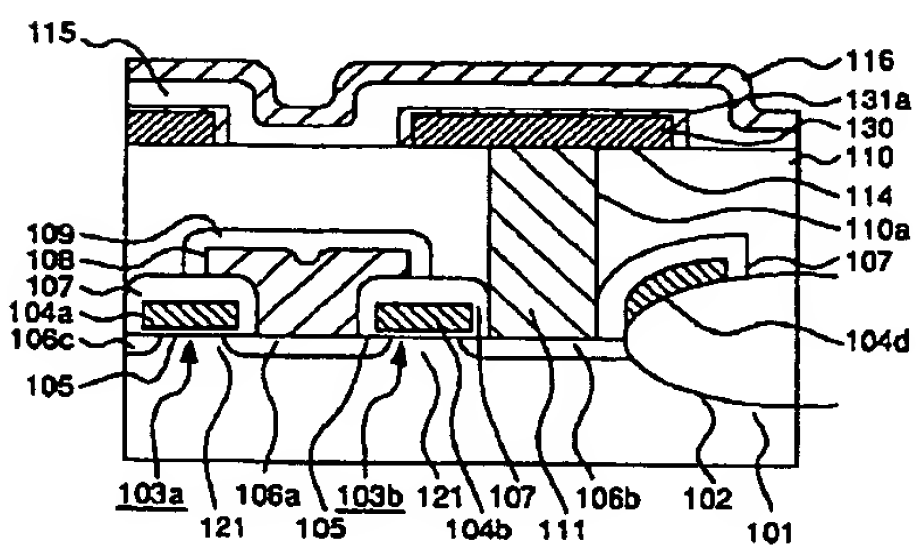
【図 4】



【図 8】

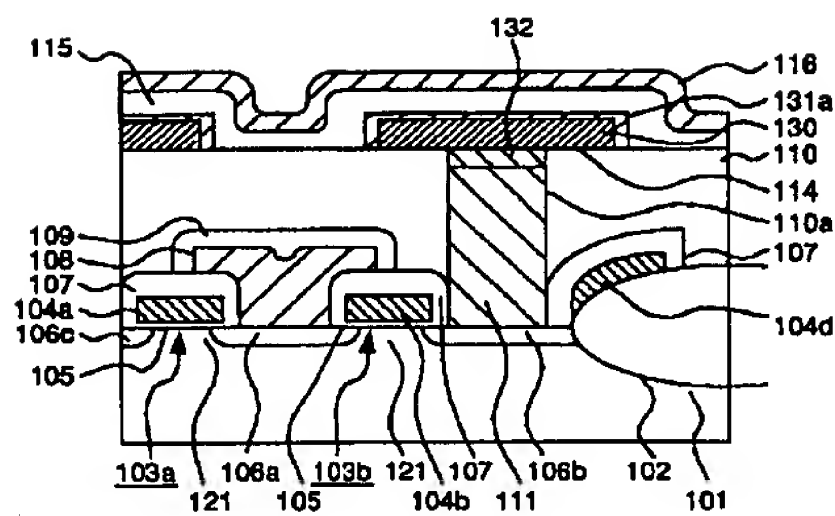


【図 10】

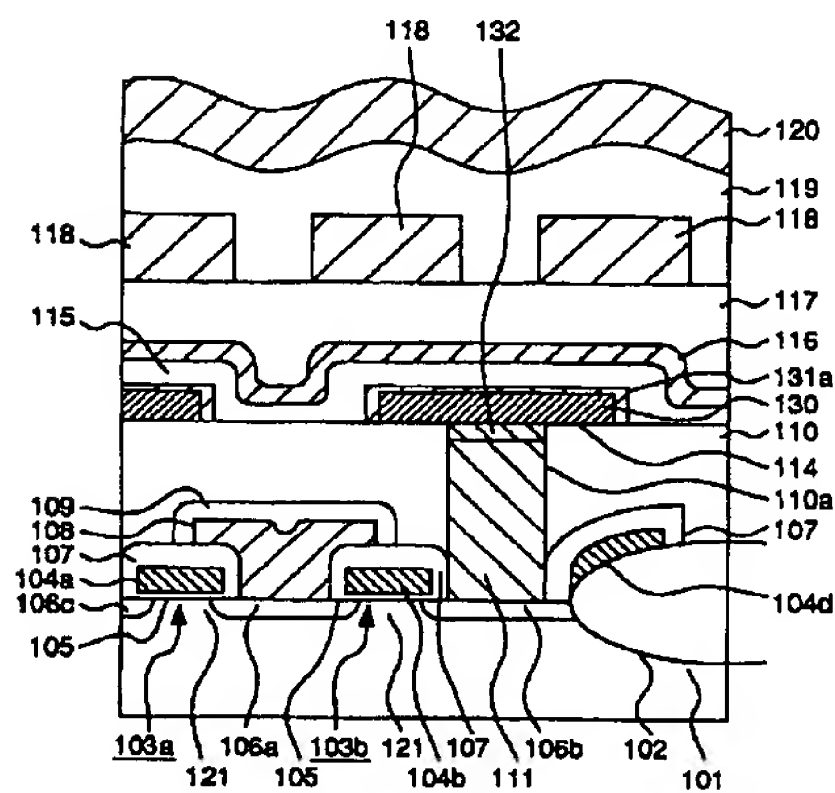




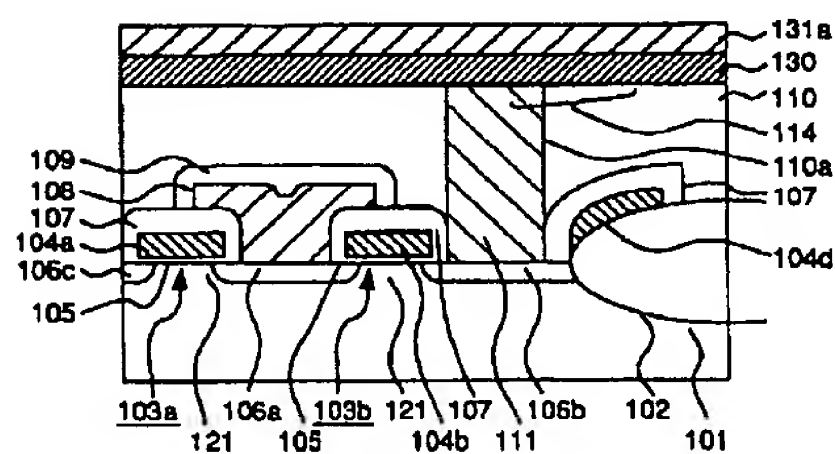
【図 1 1】



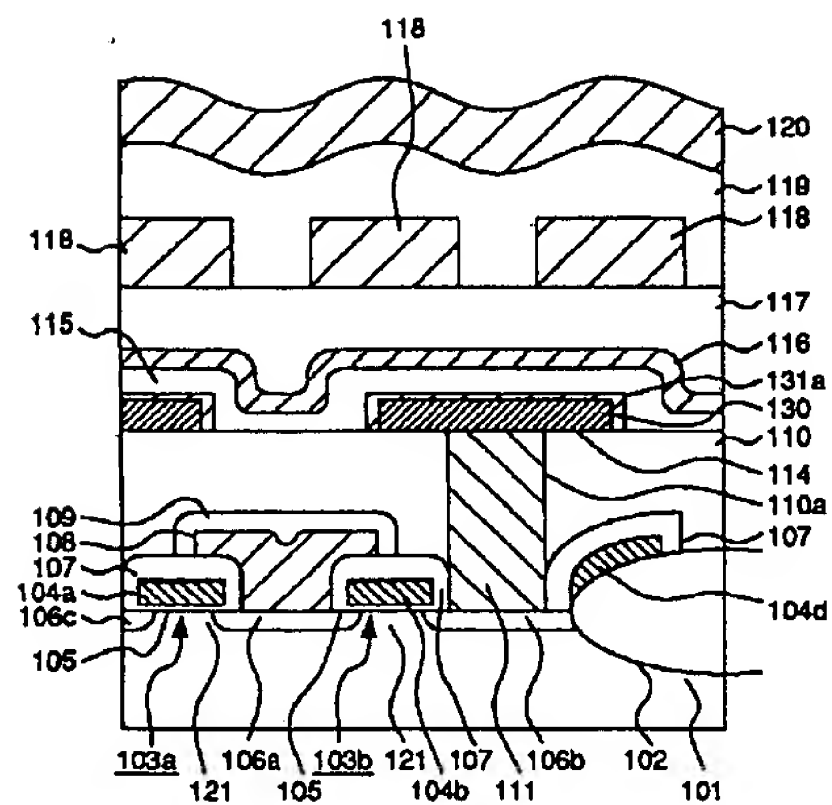
【図 13】



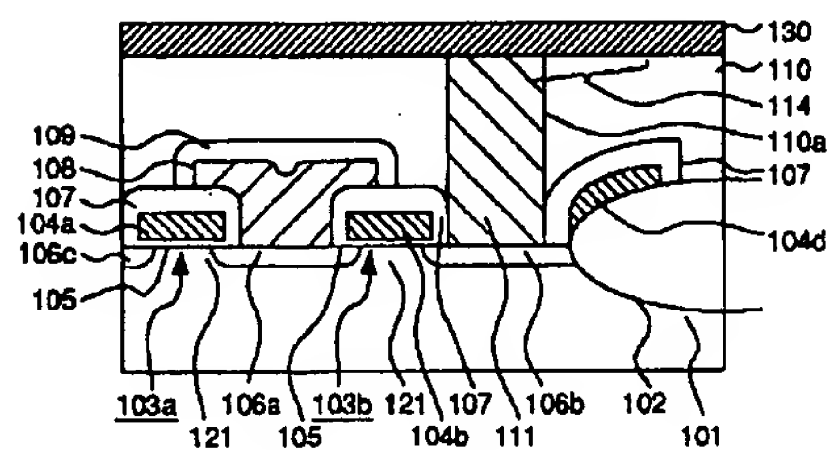
【图 16】



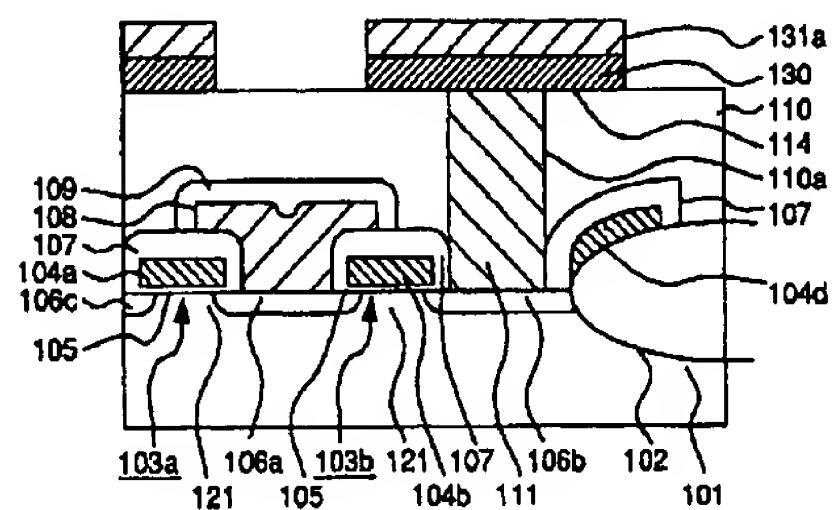
【图 1 2】



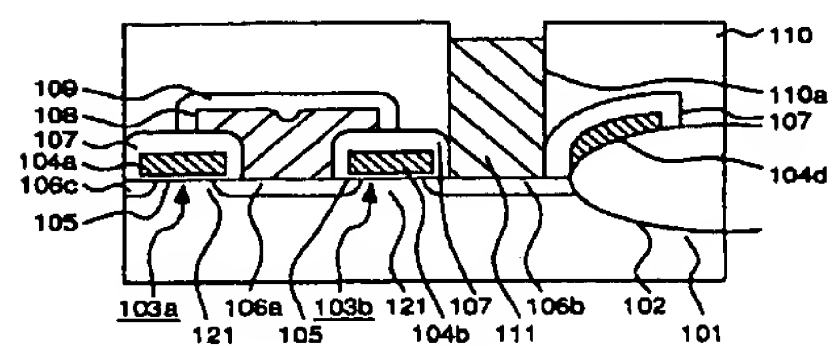
【圖 15】



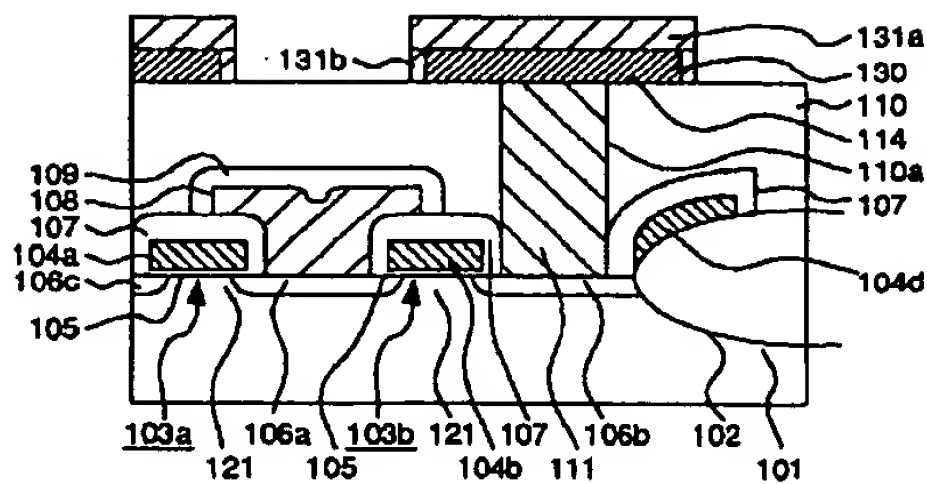
【圖 17】



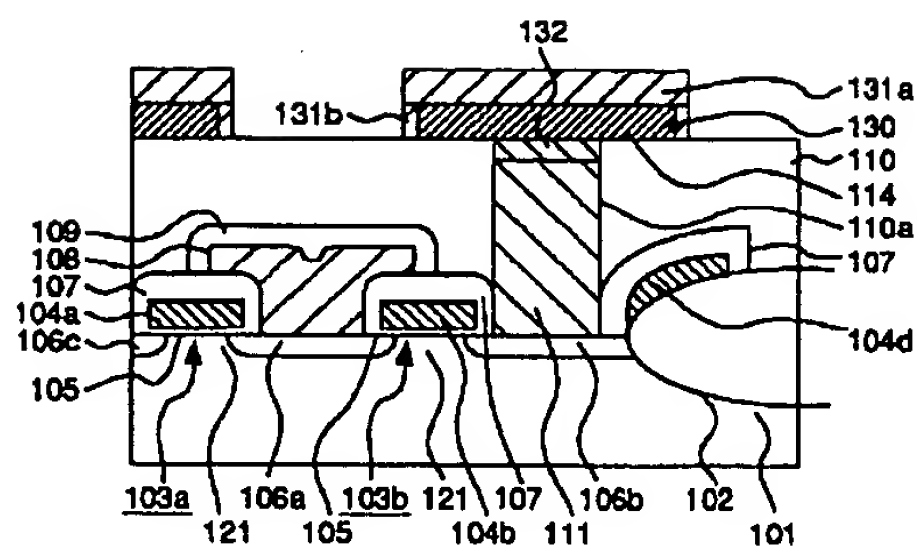
【圖 24】



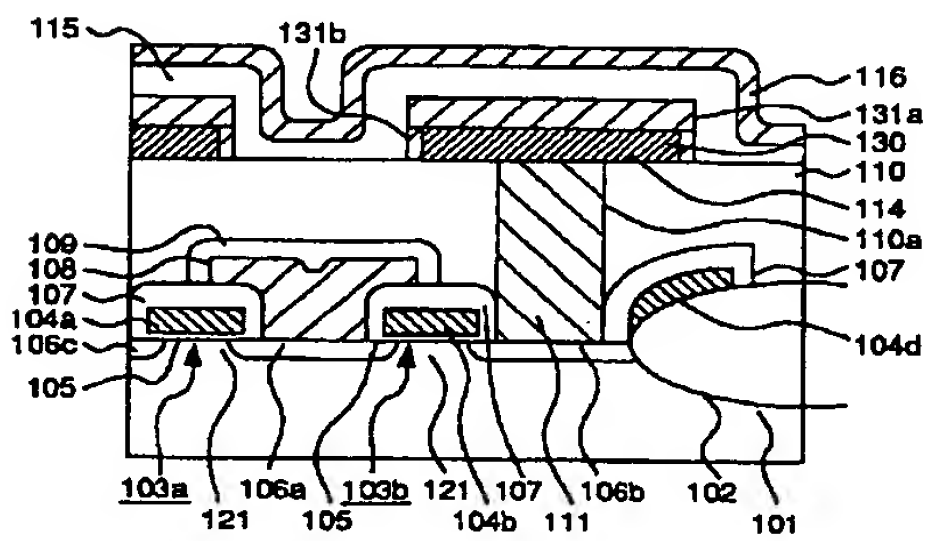
【图 18】



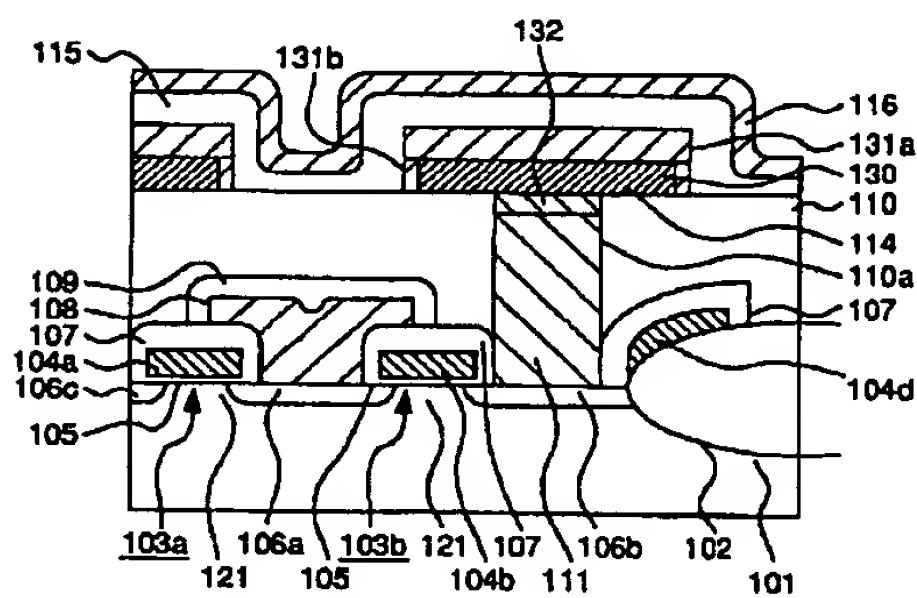
【図 19】



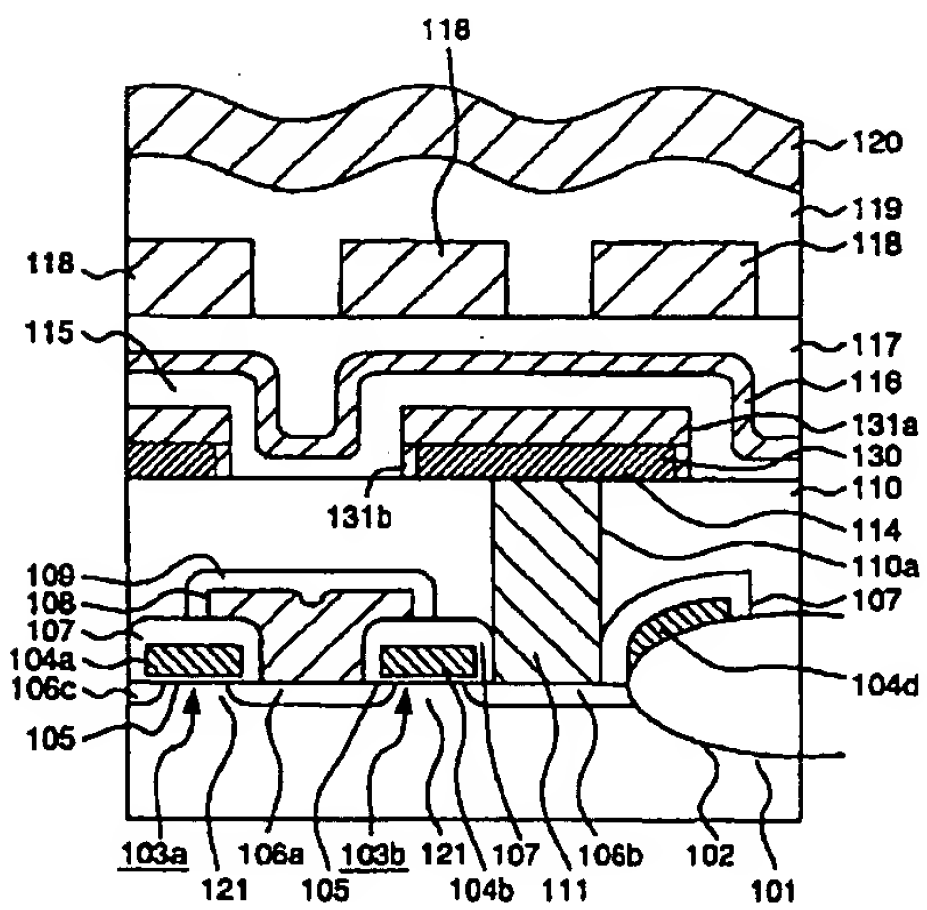
【図 20】



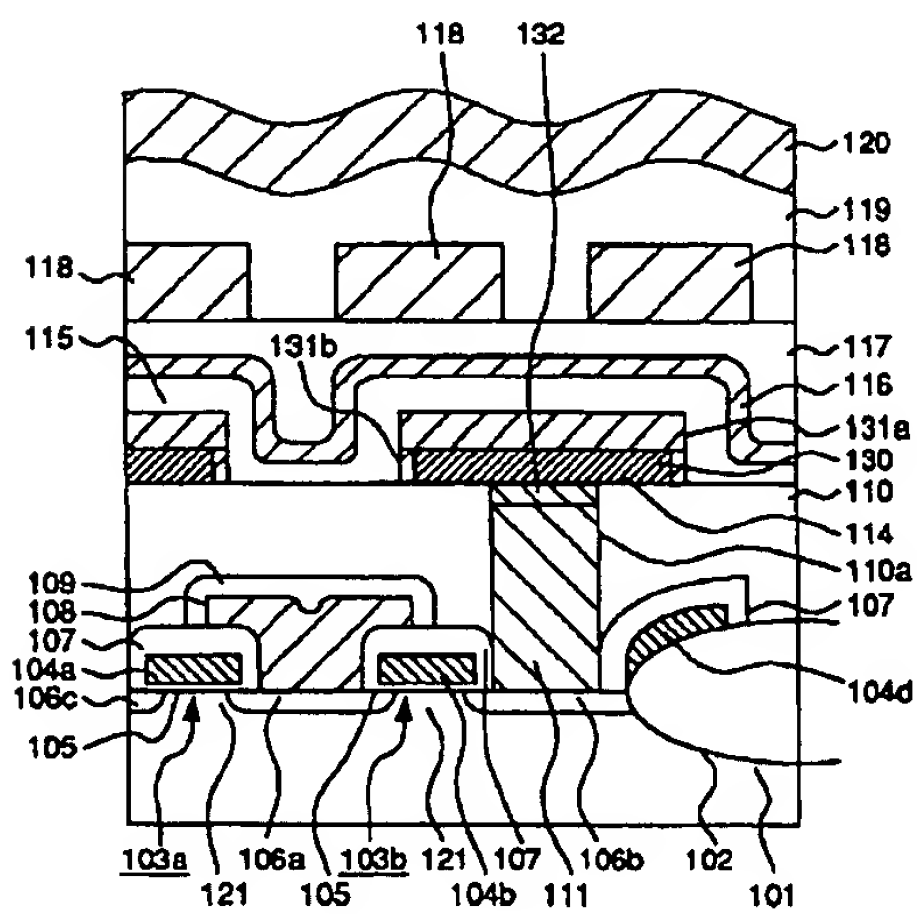
【図 2 1】



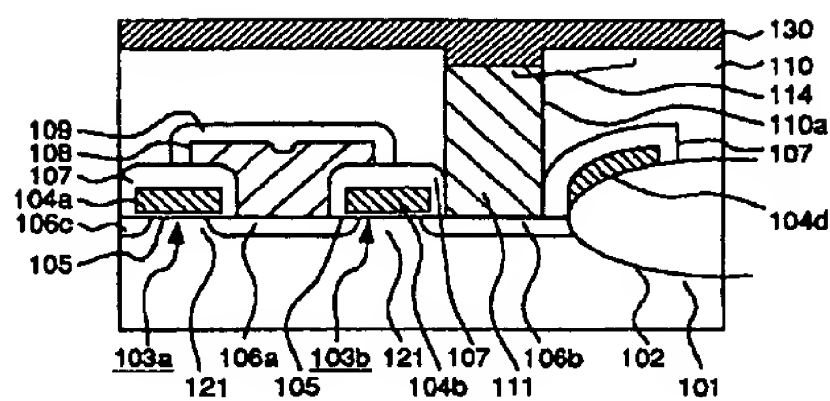
【図 2 2】



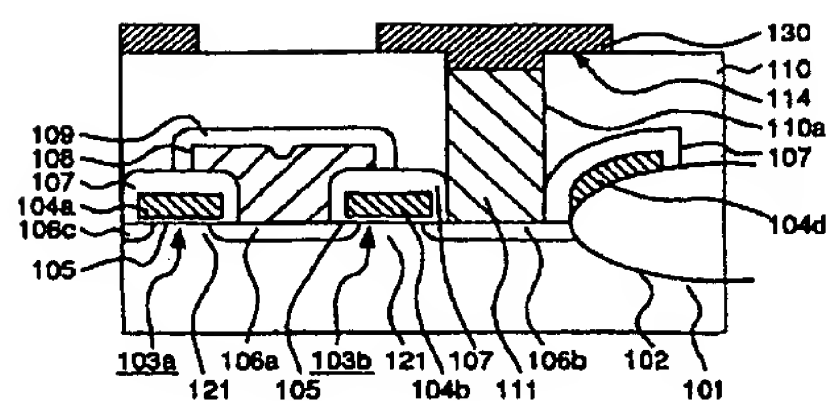
【圖 23】



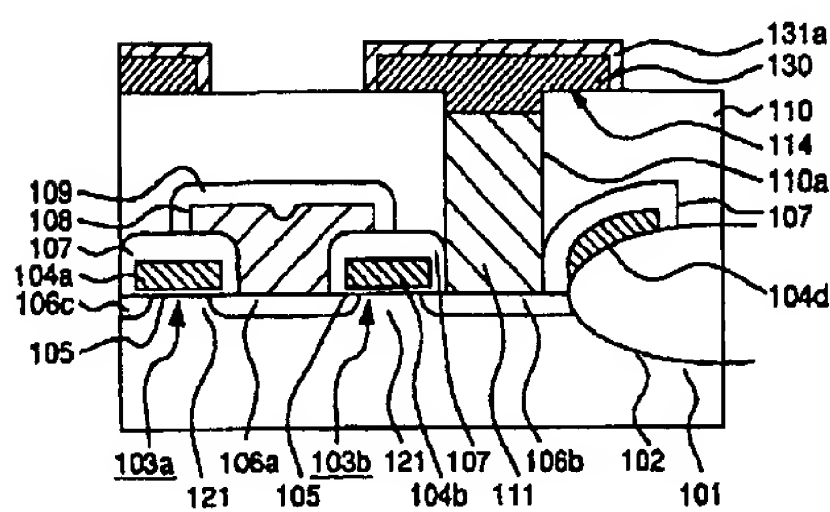
【図 25】



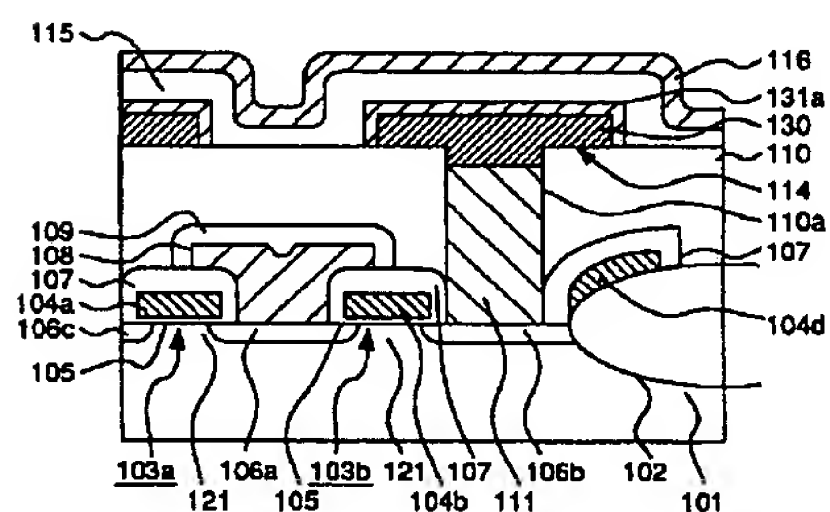
【图 26】



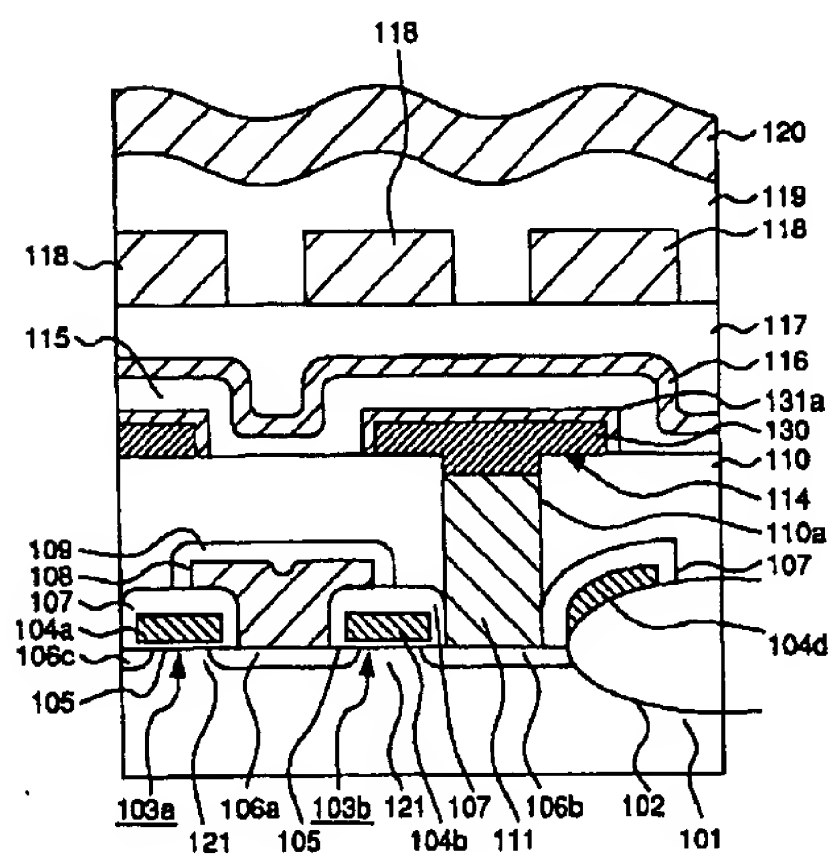
【图 27】



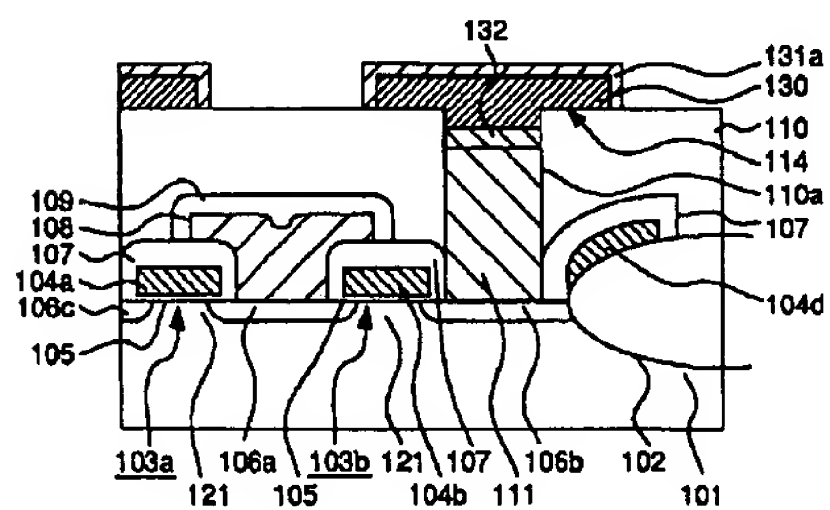
【図 28】



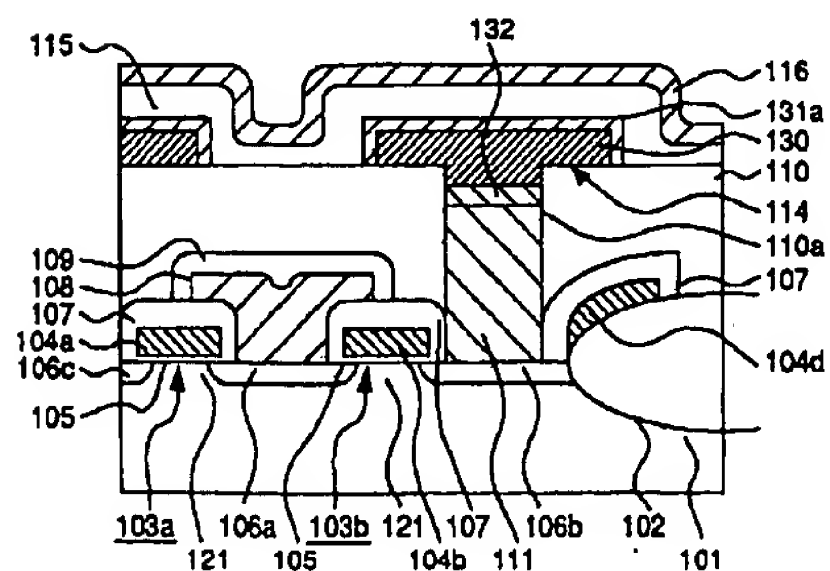
【图 29】



【图 30】

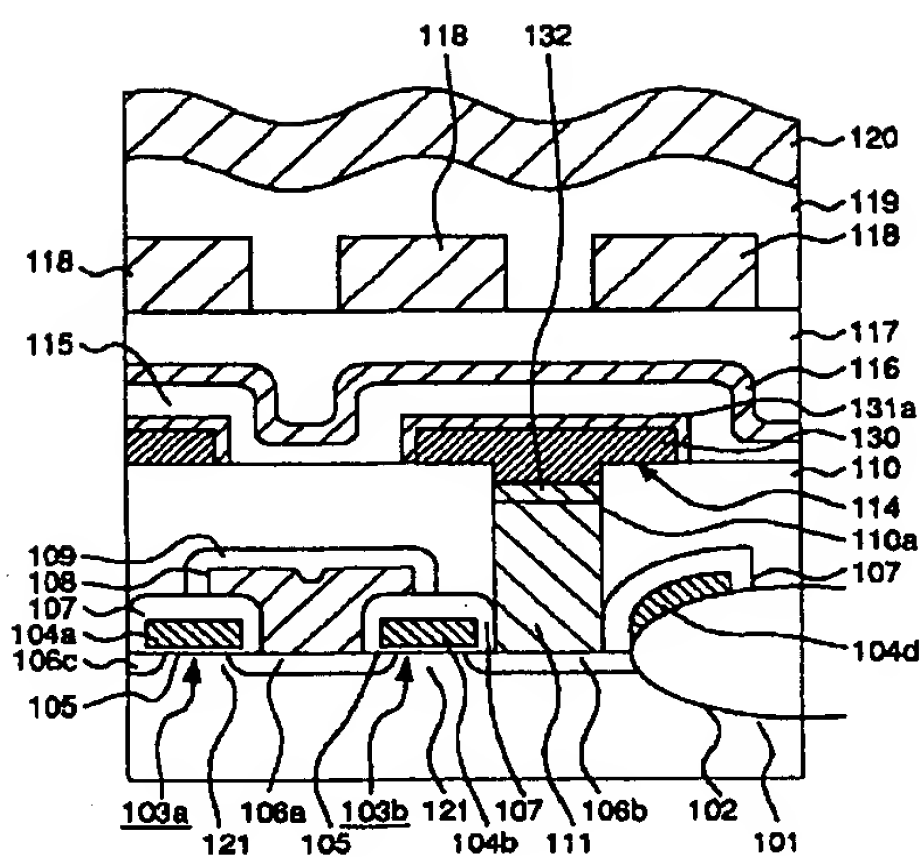


【圖 3 1】

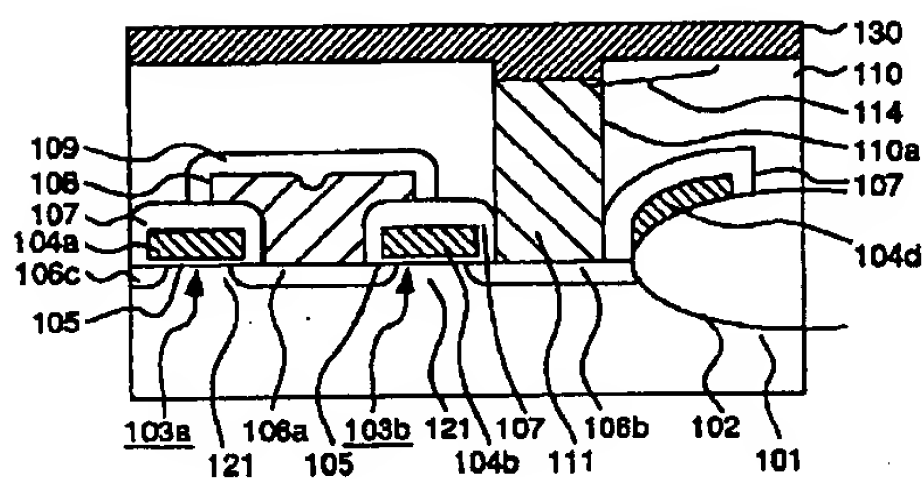




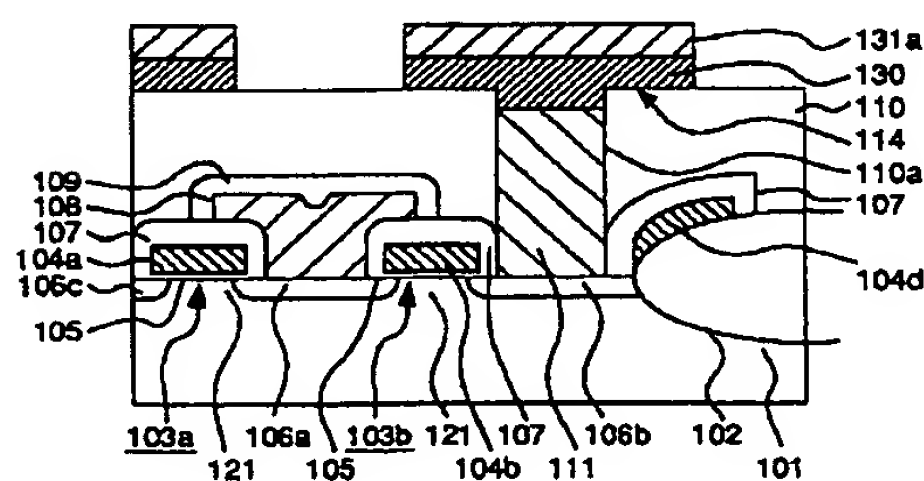
【図 3 2】



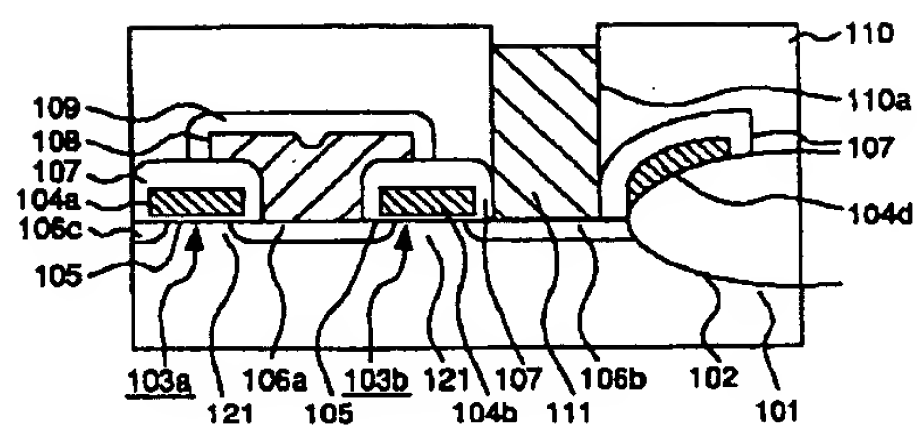
【图 3 4】



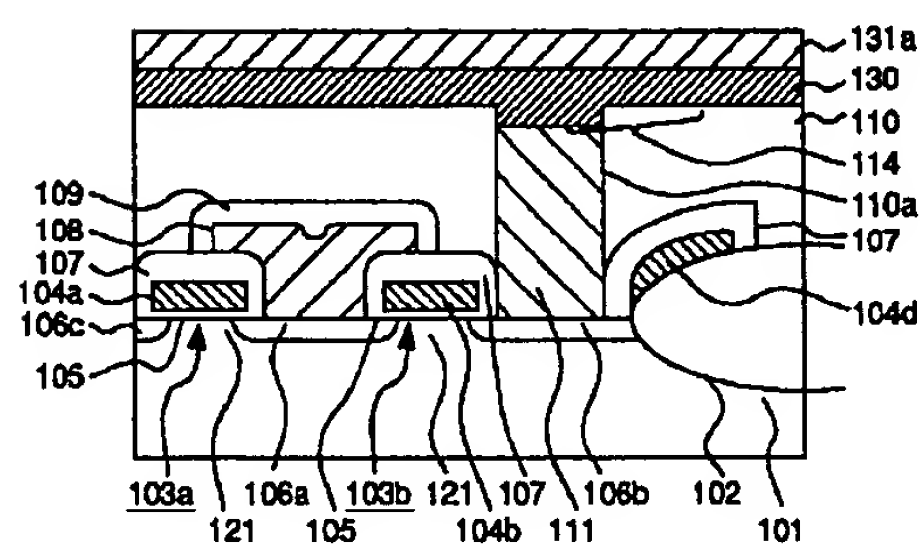
【图 3 6】



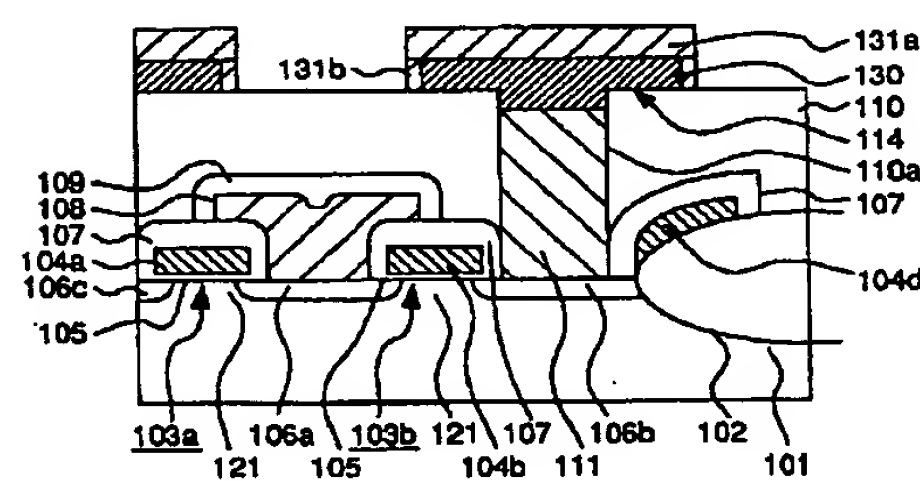
【圖 3 3】



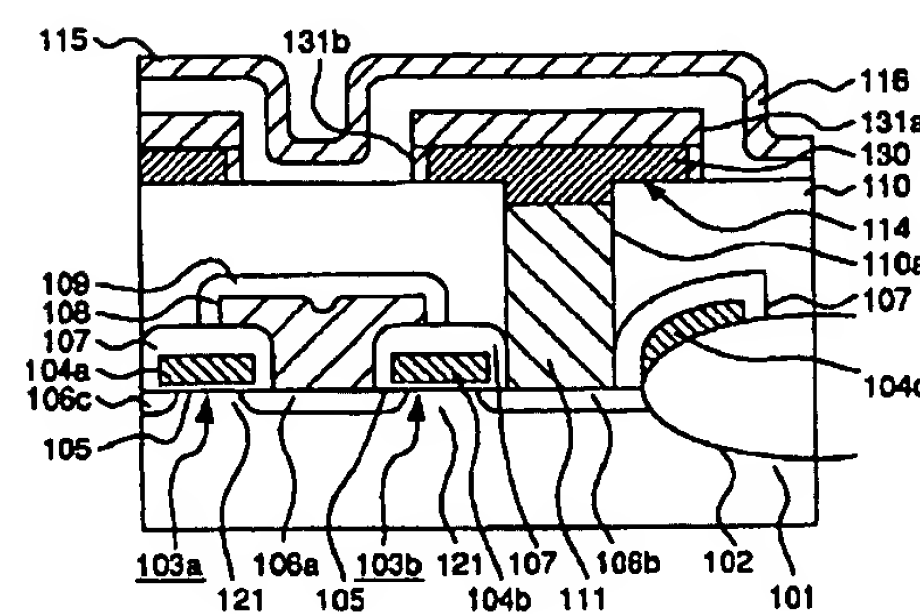
【図 35】



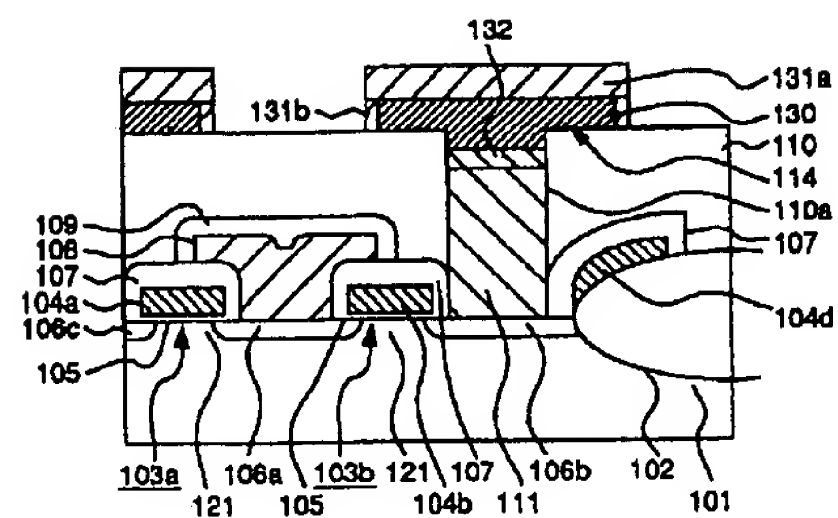
【图 3 7】



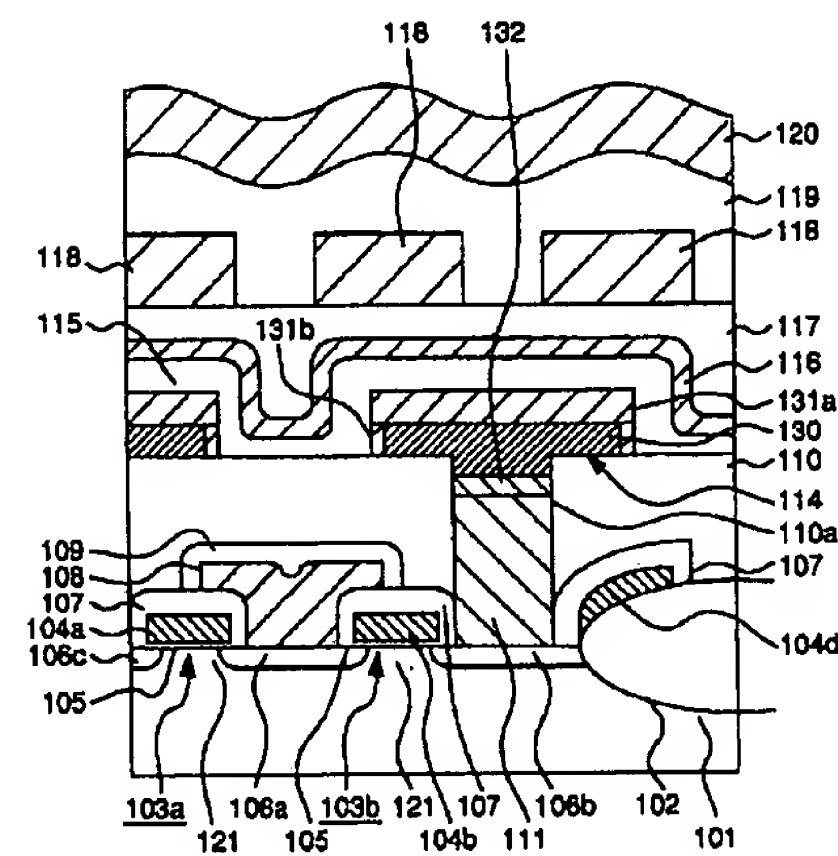
【图 3 8】



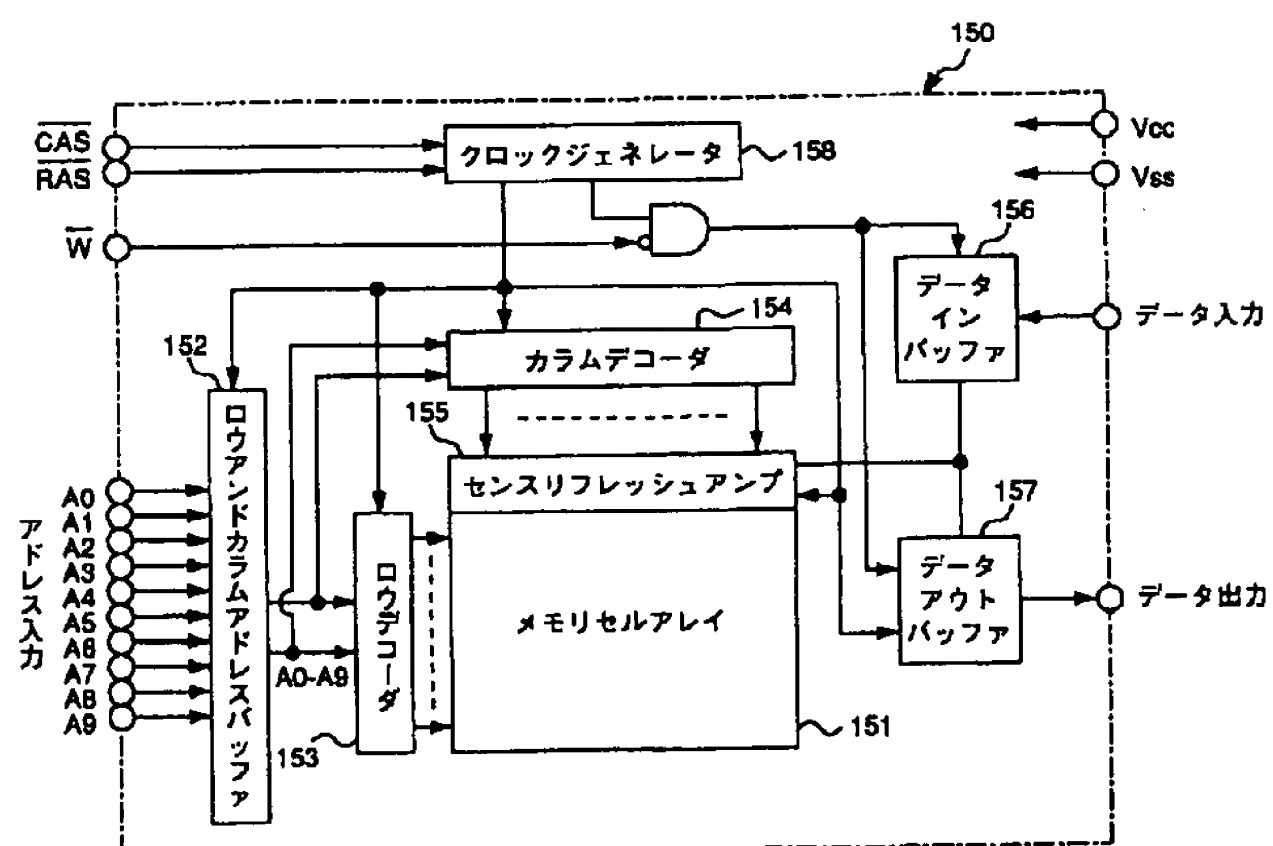
【図 40】



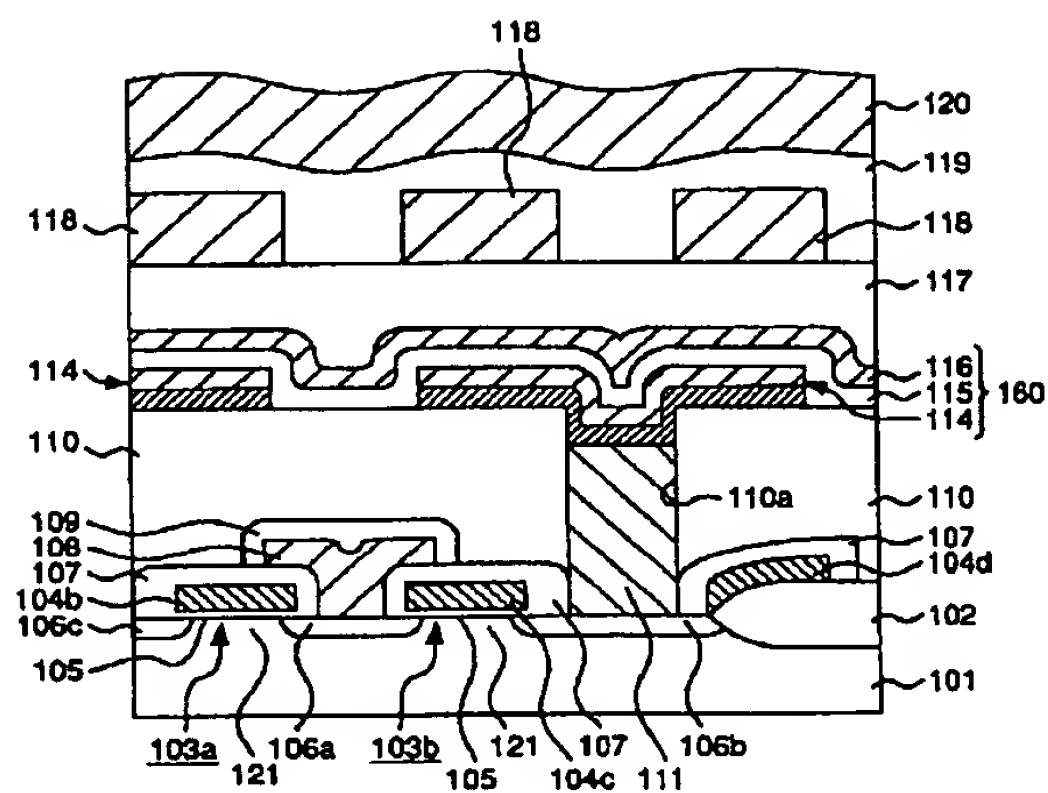
【圖 4 2】



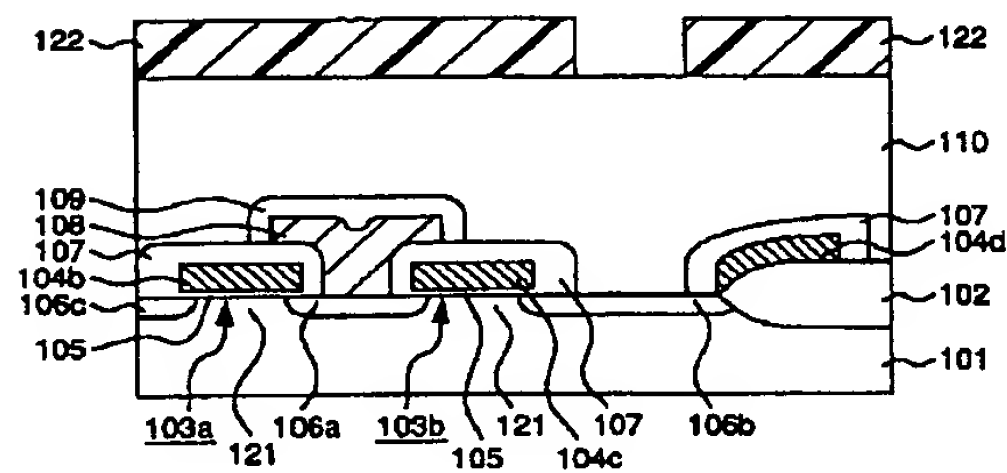
【図 4 3】



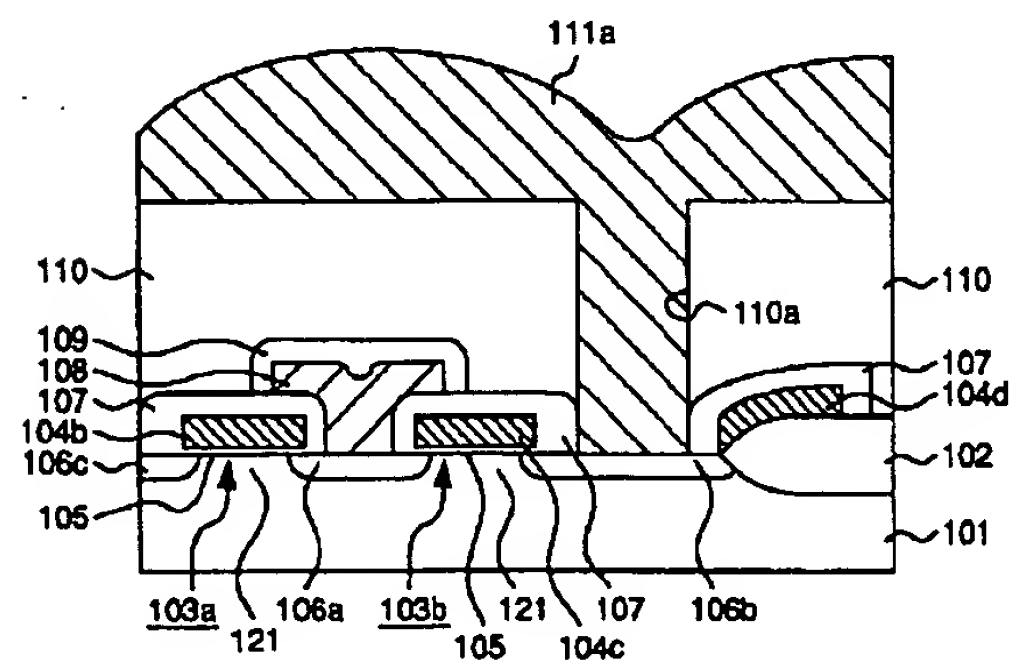
【図 4 4】



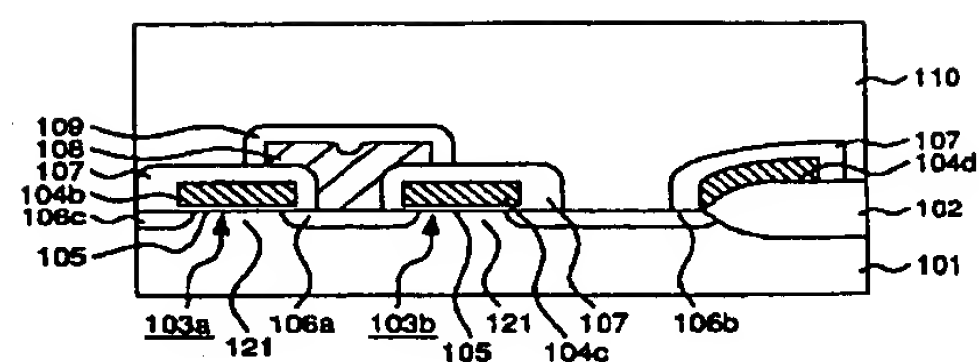
【図 4 6】



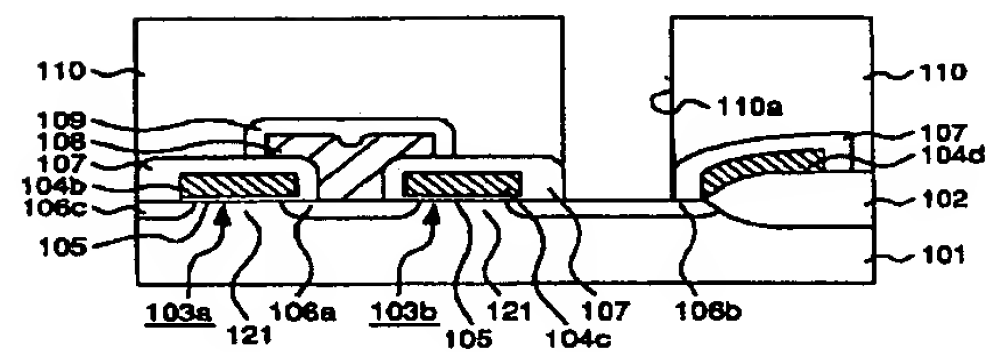
【圖 48】



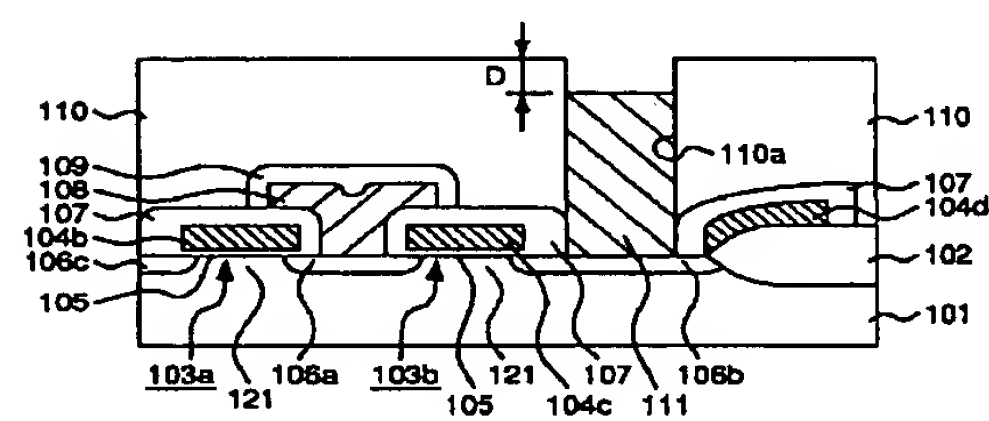
【図 45】



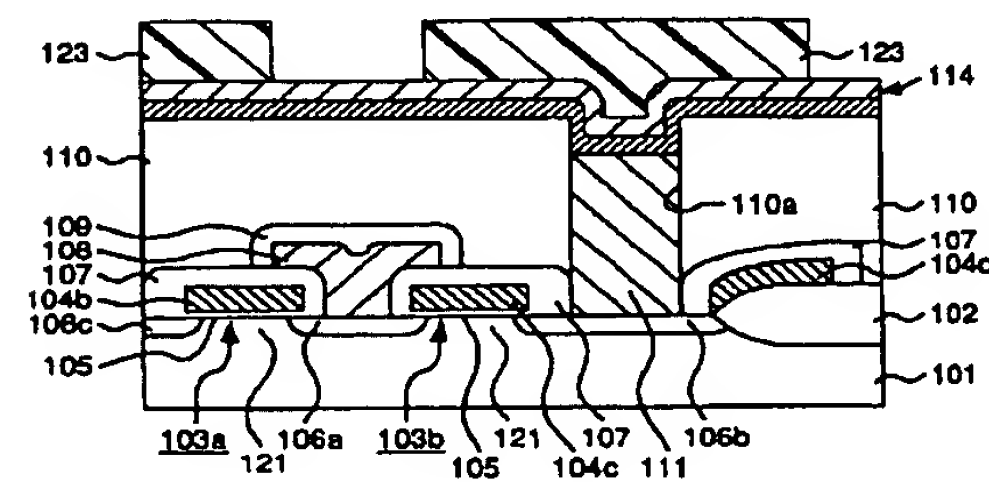
【図 4 7】



【图 49】

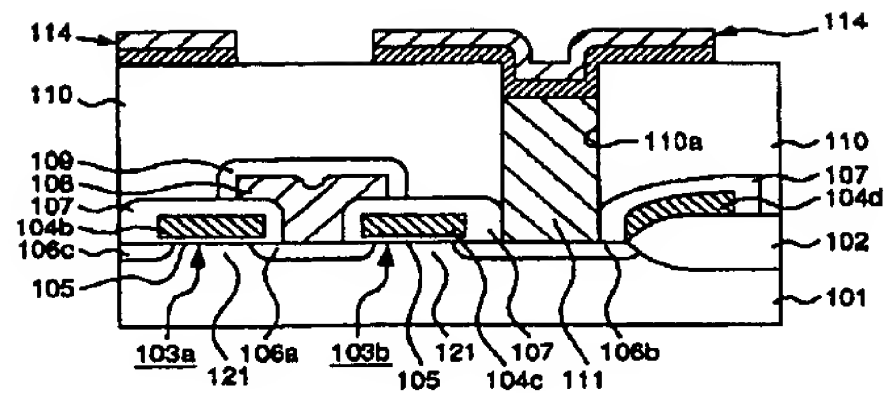


【圖 50】

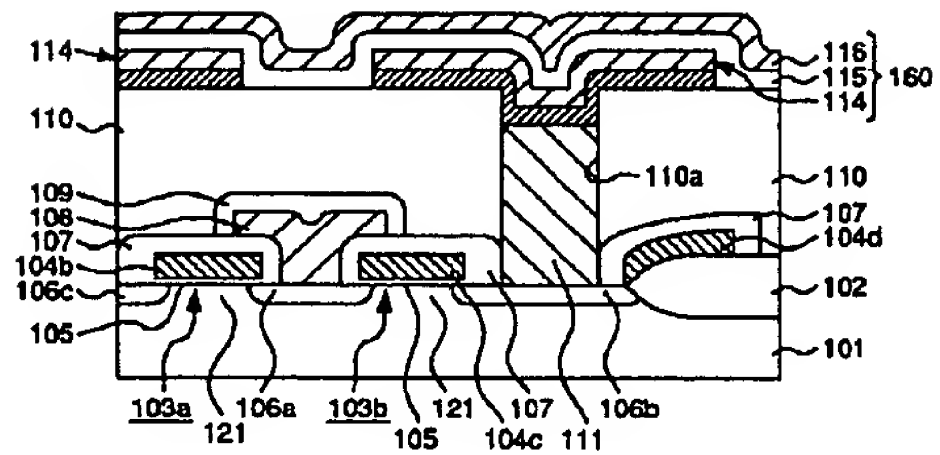




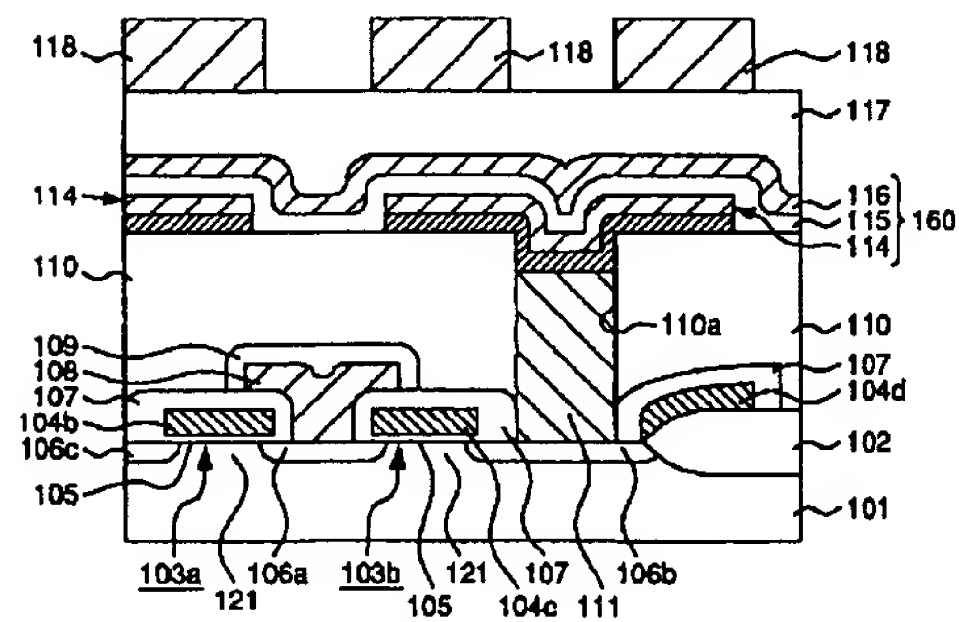
【図 5 1】



【図 5 2】



【図 5 3】



フロントページの続き

(72)発明者 三上 登  
兵庫県尼崎市塚口本町八丁目1番1号 三  
菱電機株式会社半導体基礎研究所内

(72)発明者 芝野 照夫  
兵庫県尼崎市塚口本町八丁目1番1号 三  
菱電機株式会社半導体基礎研究所内

